



UNIVERSIDAD DE
Belgrano
BUENOS AIRES - ARGENTINA

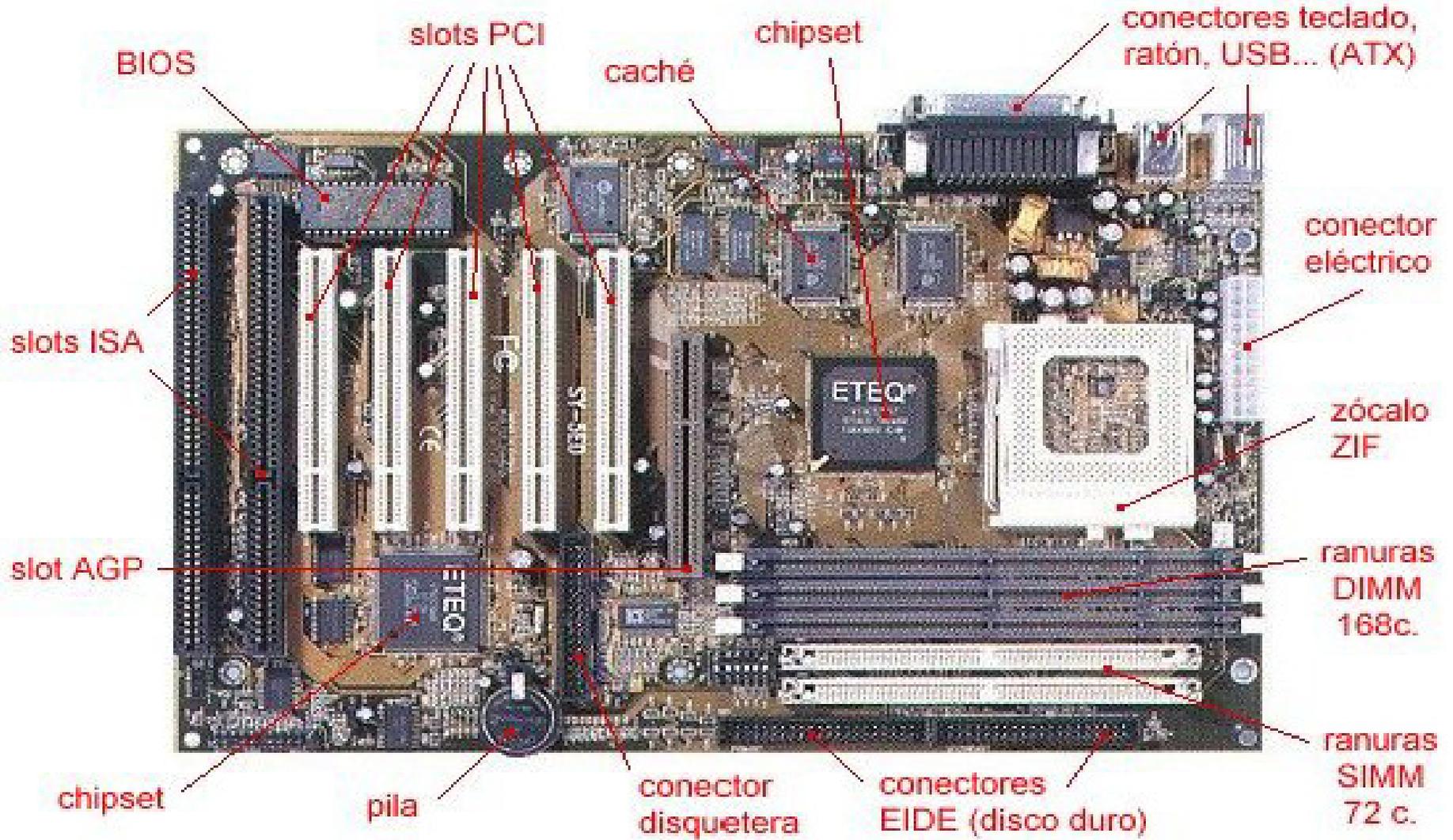


FUNDAMENTOS DE INFORMATICA

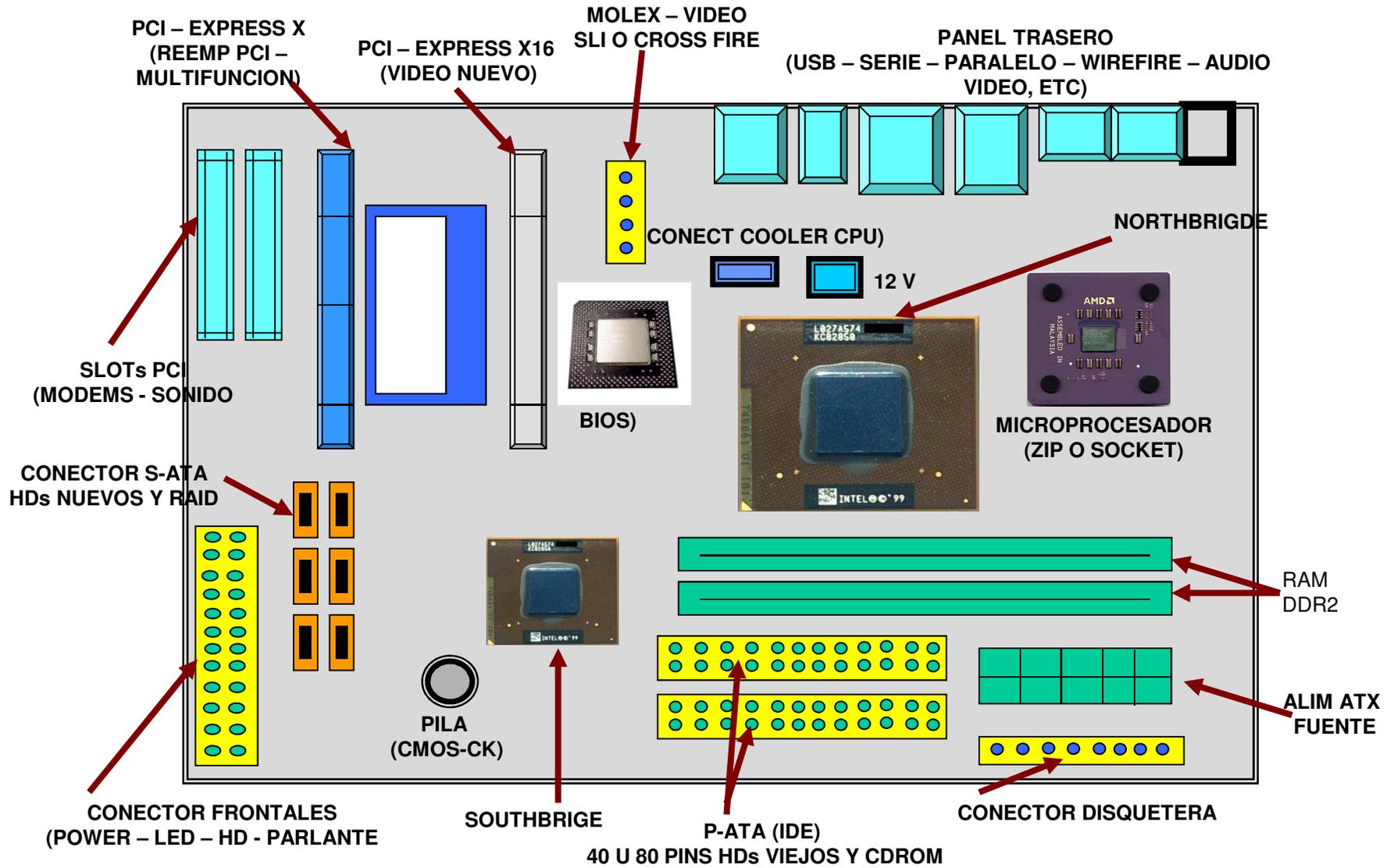
UNIDAD 2

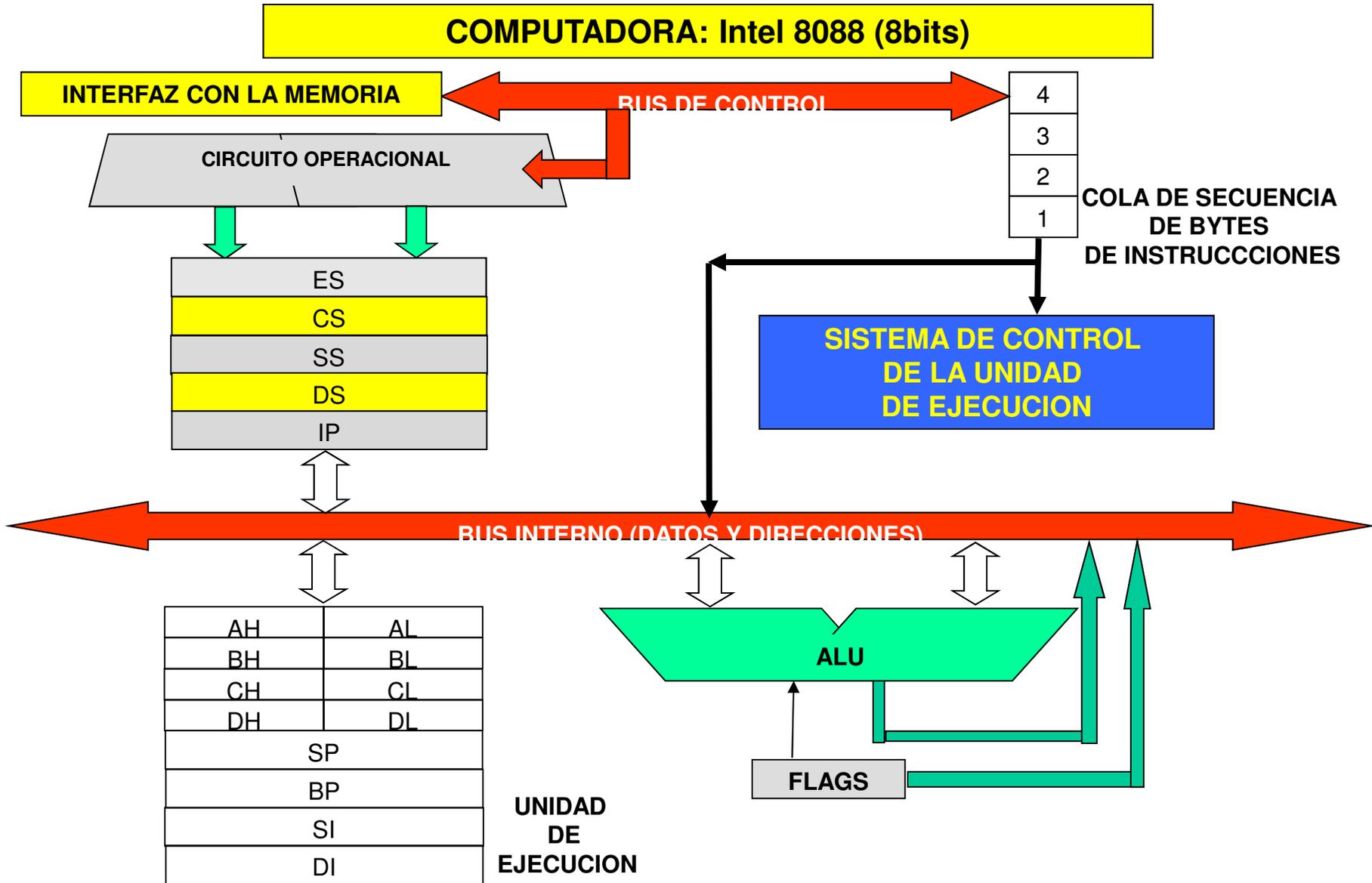
Arquitectura de Computadoras

ARQUITECTURA PC - MOTHERBOARD

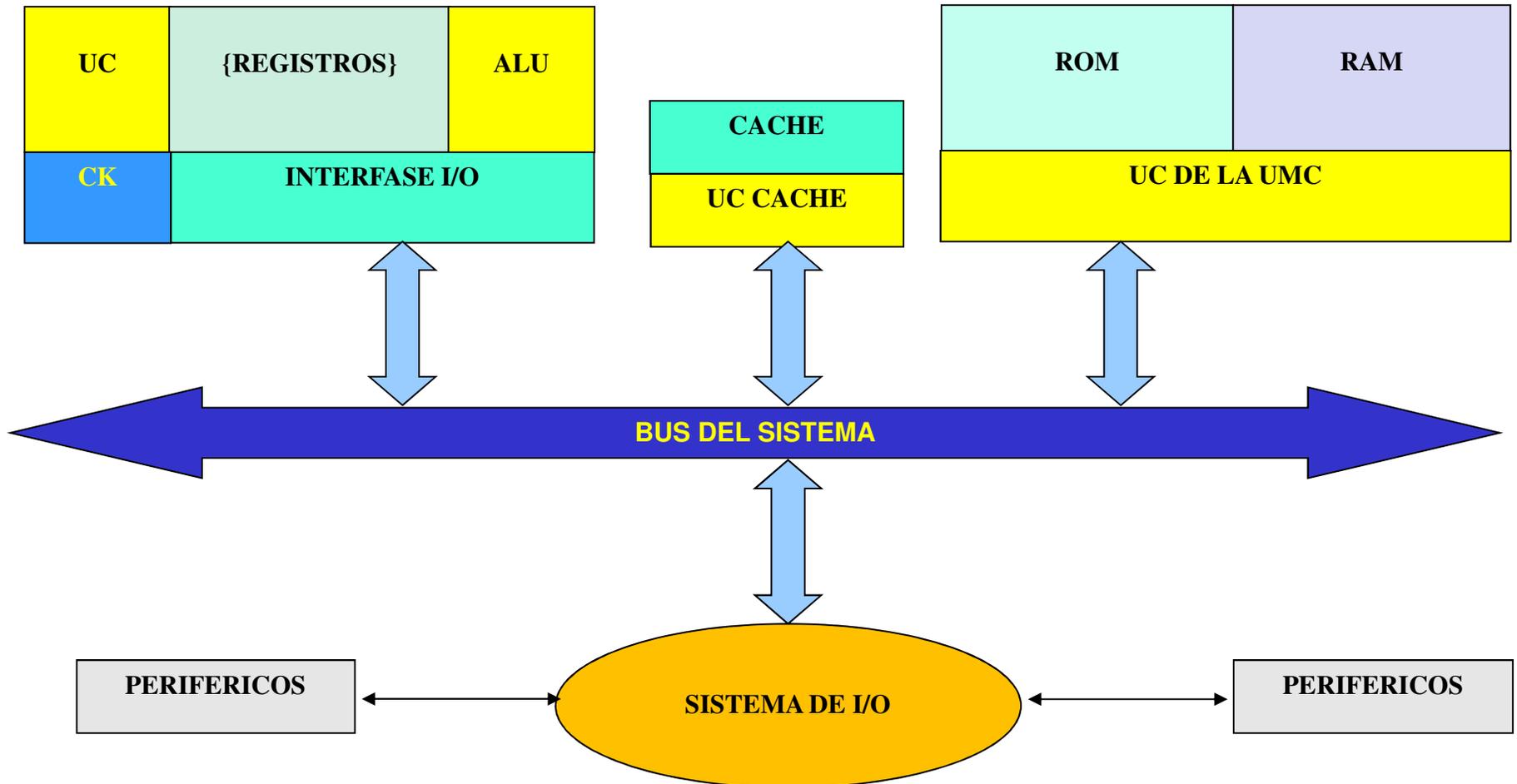


ARQUITECTURA PC – MOTHER ACTUAL

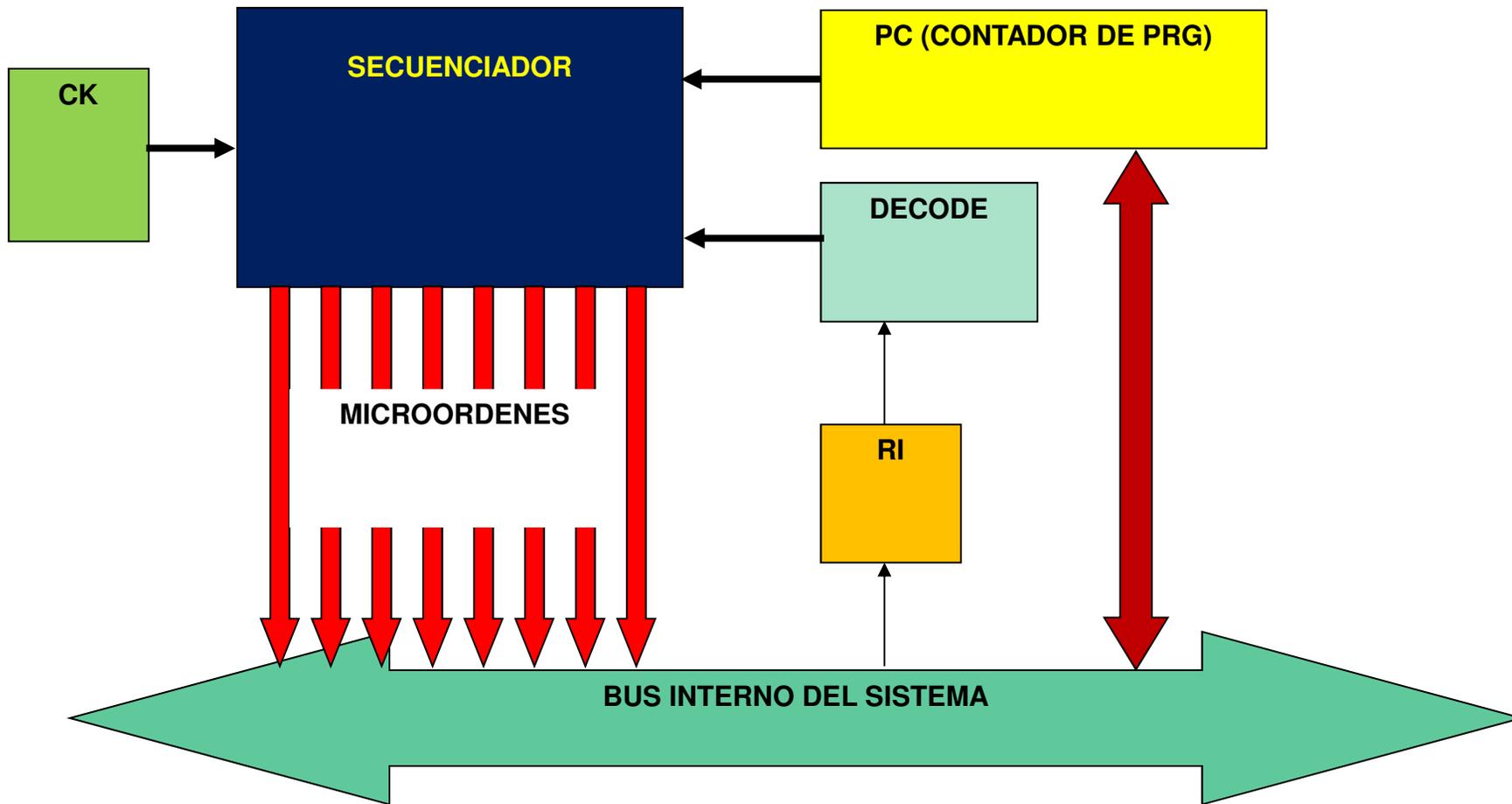




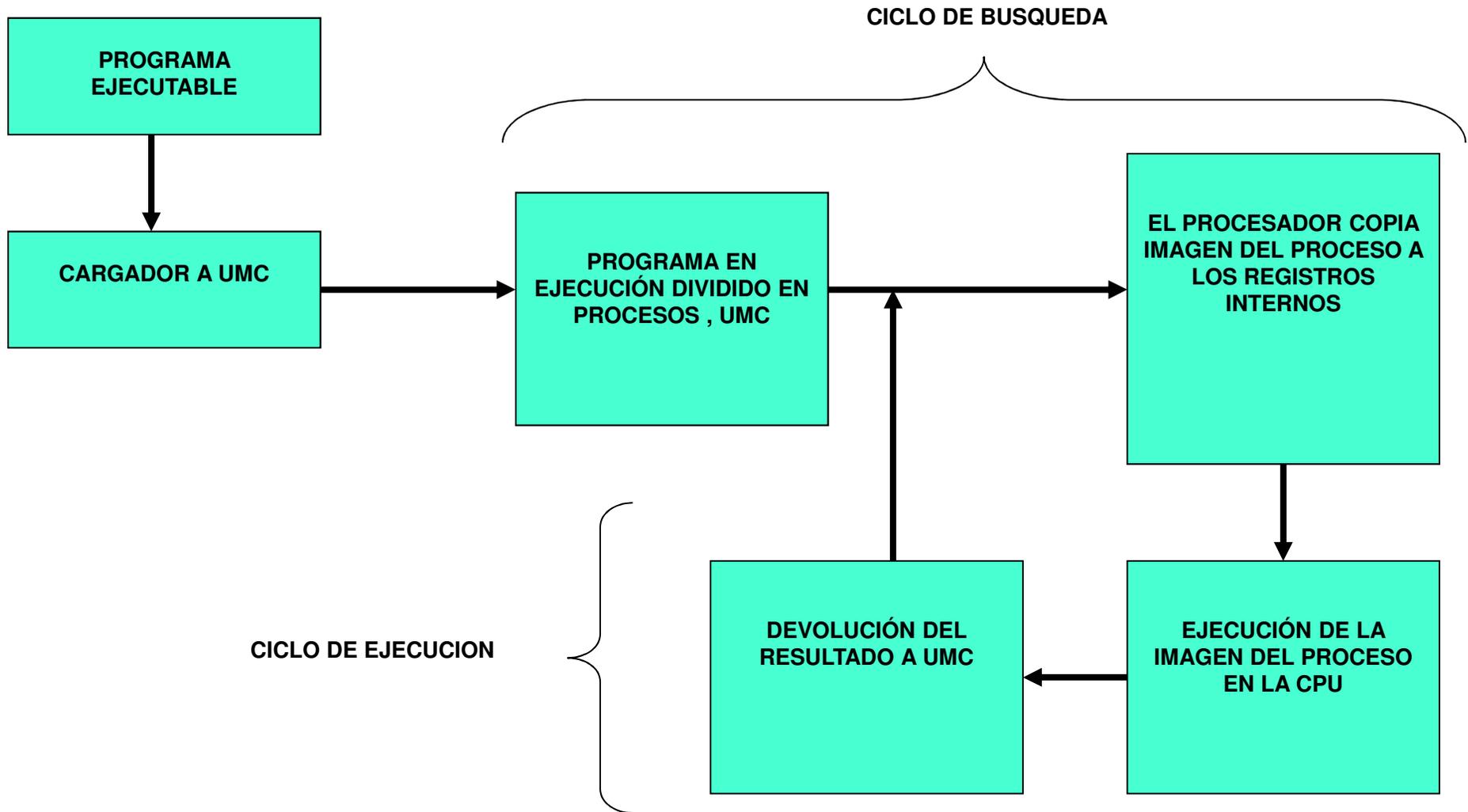
COMPUTADORA: ARQUITECTURA

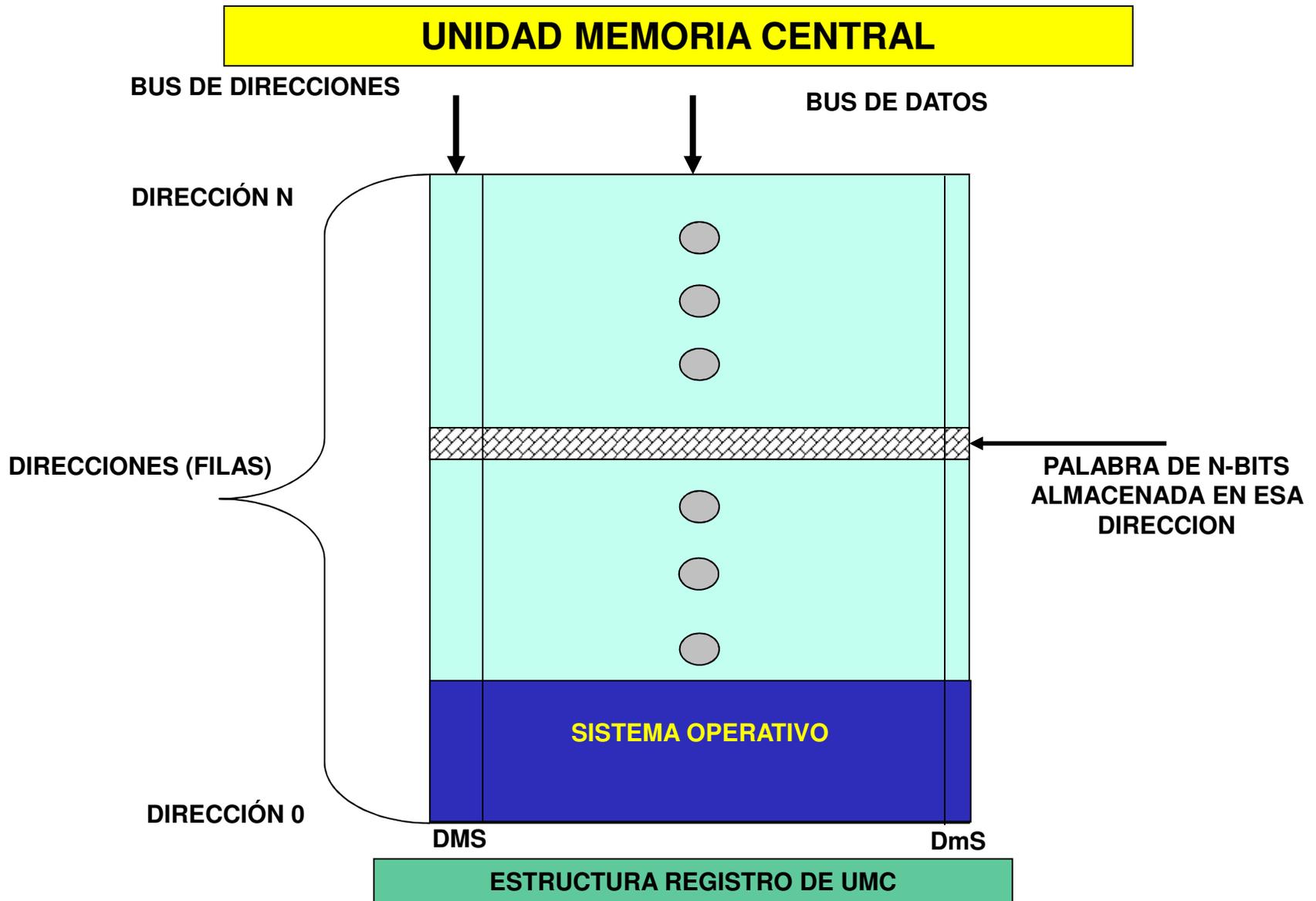


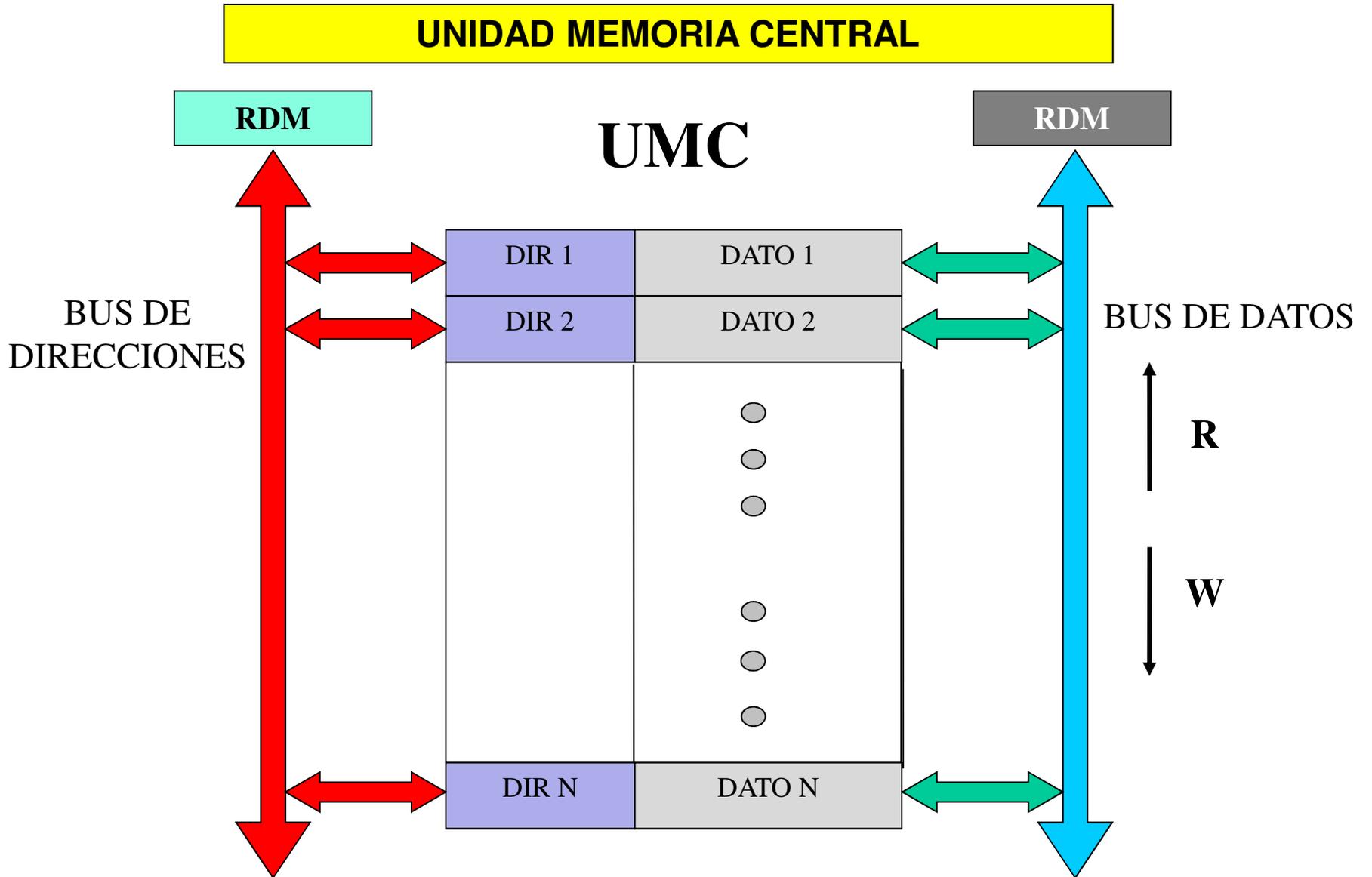
UNIDAD DE CONTROL



SECUENCIA DE EJECUCION DE UN PROGRAMA







JERARQUIA DE MEMORIA

Williams Stallings SISTEMAS OPERATIVOS. Principios de diseño e interioridades. 4ta ed. Pearson Educación S.A. Madrid, 2001 ISBN: 84-205-3177-4

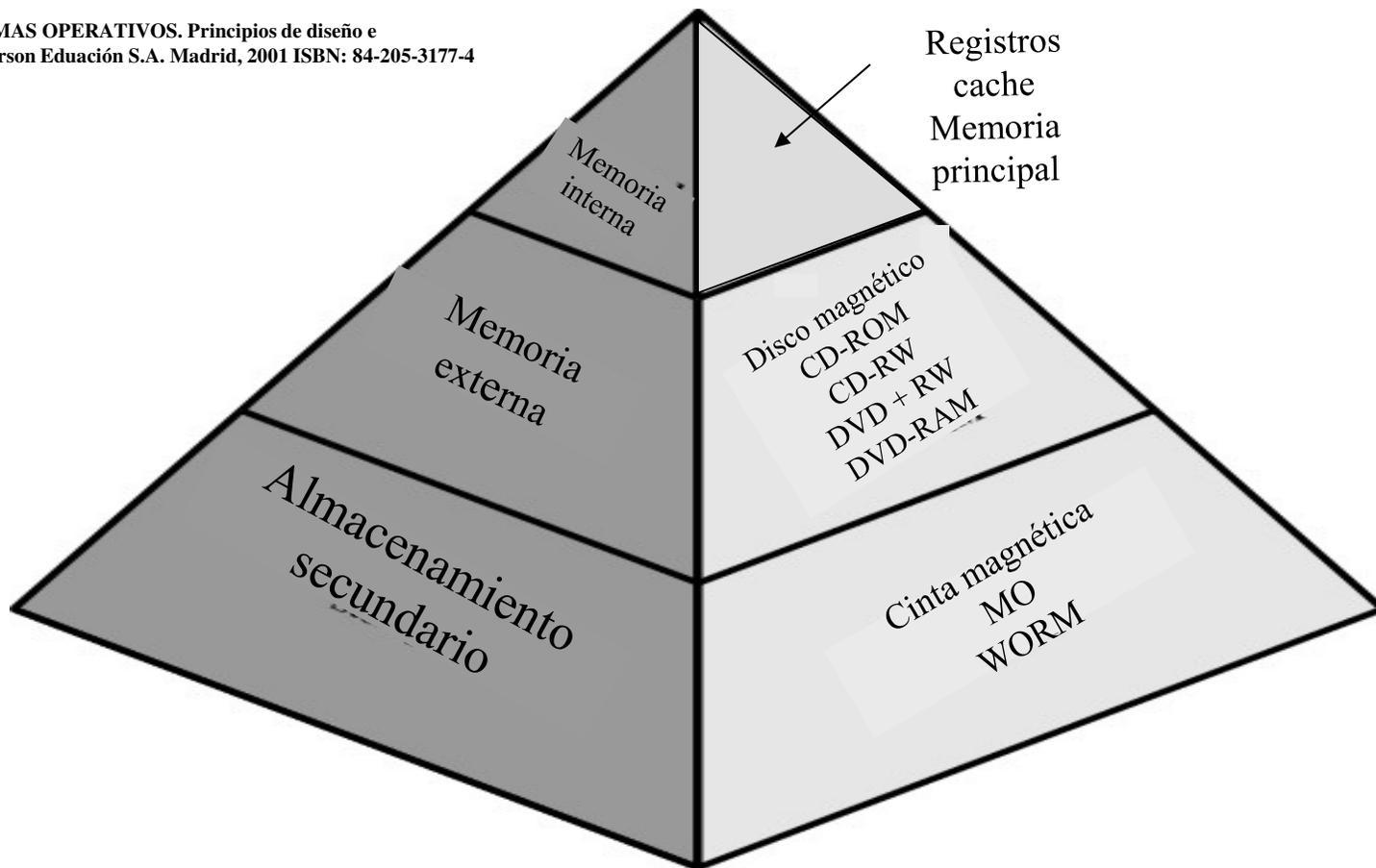


Figura 1.14. La jerarquía de la memoria.

MEMORIA: DESCENSO POR LA JERARQUIA

- ❖ DISMINUCION DEL COSTO POR BIT.
- ❖ AUMENTO DE LA CAPACIDAD.
- ❖ AUMENTO DEL TIEMPO DE ACCESO.
- ❖ DISMINUCION DE LA FRECUENCIA DE ACCESO A LA MEMORIA POR PARTE DEL PROCESADOR:
 - **CERCANIA DE REFERENCIAS.**

MEMORIA CACHE

Es una parte de la memoria principal que se puede utilizar como buffer para guardar temporalmente los datos transferidos con el disco. Memoria temporal

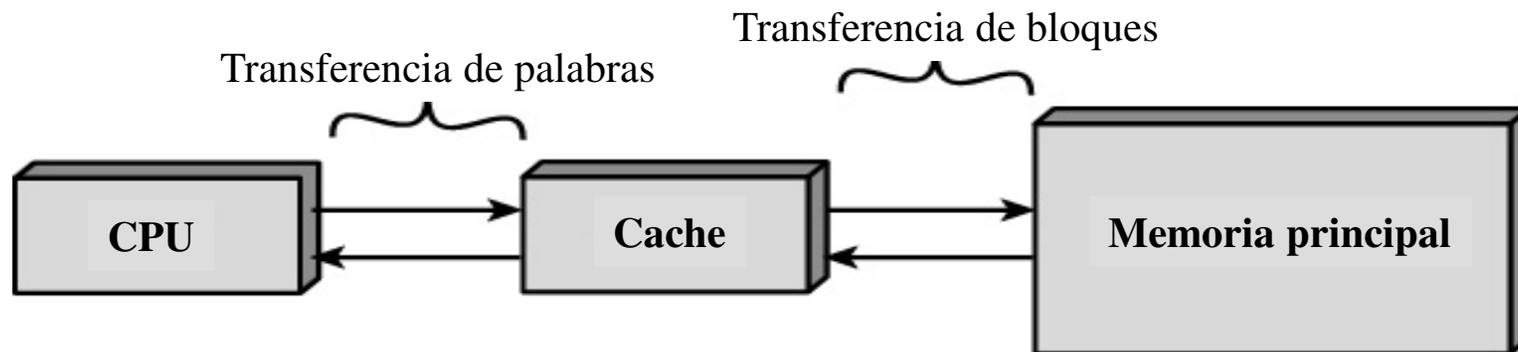


Figura 1.16. Cache y memoria principal.

MEMORIA CACHE

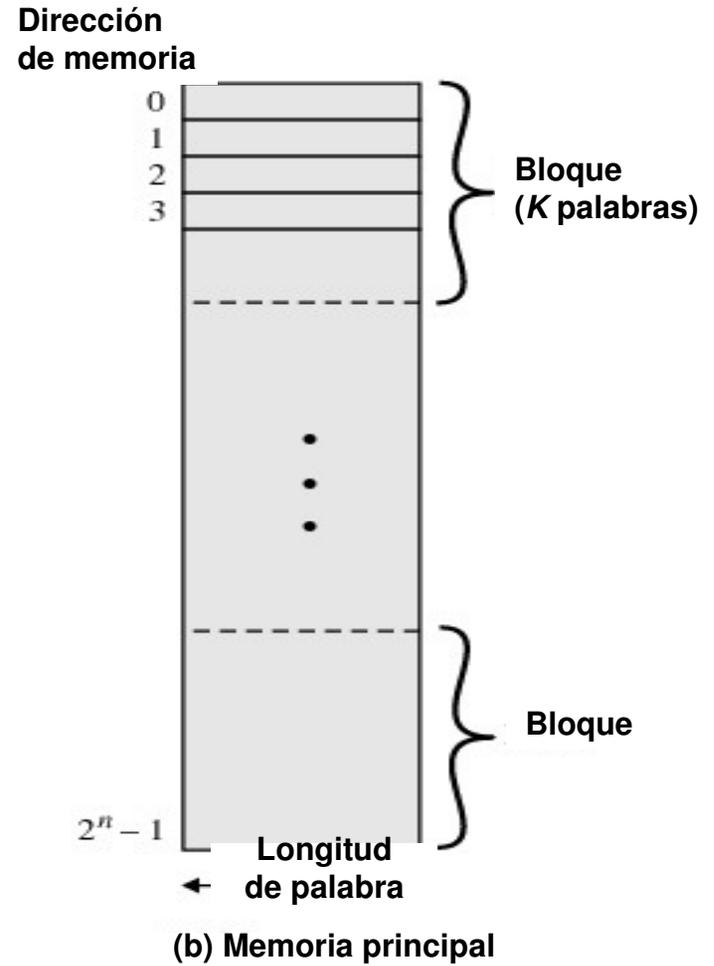
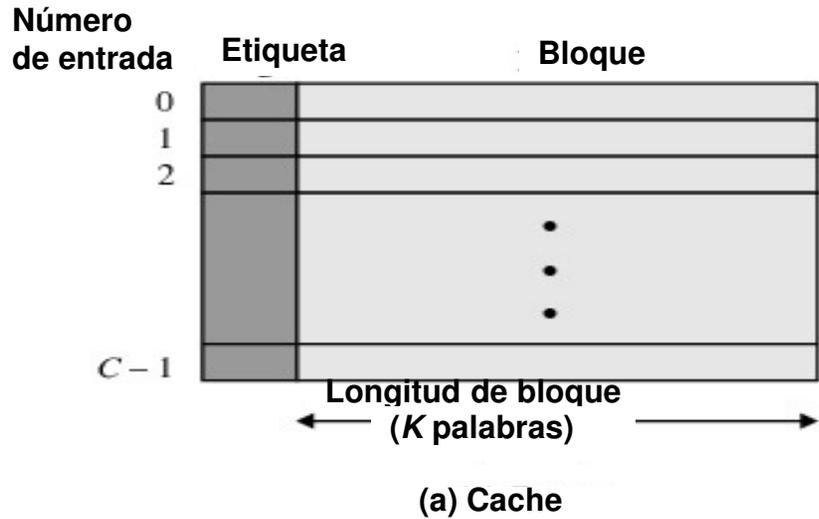


Figura 1.17. Estructura de cache/memoria principal.

TIPOS DE MEMORIAS RAM

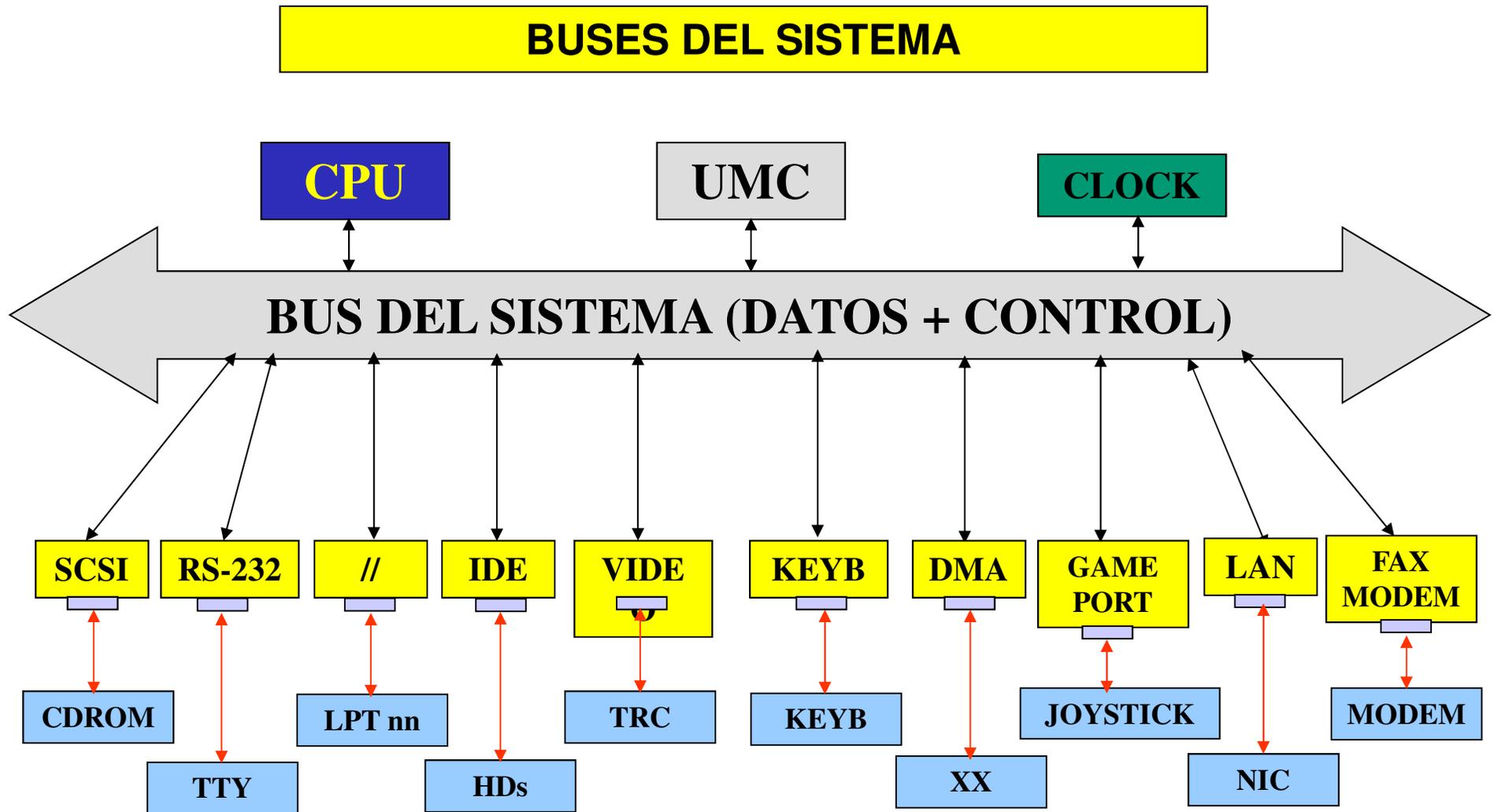
TIPOS DE CHIPS DE MEMORIA

- ❖ **DRAM (Dynamic Random Access Memory) – Memoria Dinámica de acceso Aleatorio**
- ❖ **DRAM FPM (Fast Page Mode) – Modo de Paginación Veloz**
- ❖ **DRAM EDO (Enhanced Data Autoput) – Transferencia de Datos Mejorada**
- ❖ **DRAM (Synchronous DRAM) – DRAM Sincrónica**
- ❖ **Direct RDRAM (Rambus DRAM) – DRAM Rambus.**
- ❖ **RAM (Static Random Access Memory) – RAM estática.**
- ❖ **BSRAM (Burst SRAM) – SRAM fugaz.**
- ❖ **VCM SDRAM (Virtual Channel Memory SDRAM) – Canal virtual de SDRAM**
- ❖ **DDR SDRAM (Double Date Rate SDRAM) – SDRAM de doble velocidad de transferencia de datos**
- ❖ **DDR-II SDRAM (Quadruple Date Rate SDRAM – SDRAM de Cúadruple. Velocidad de Transferencia de Datos.**

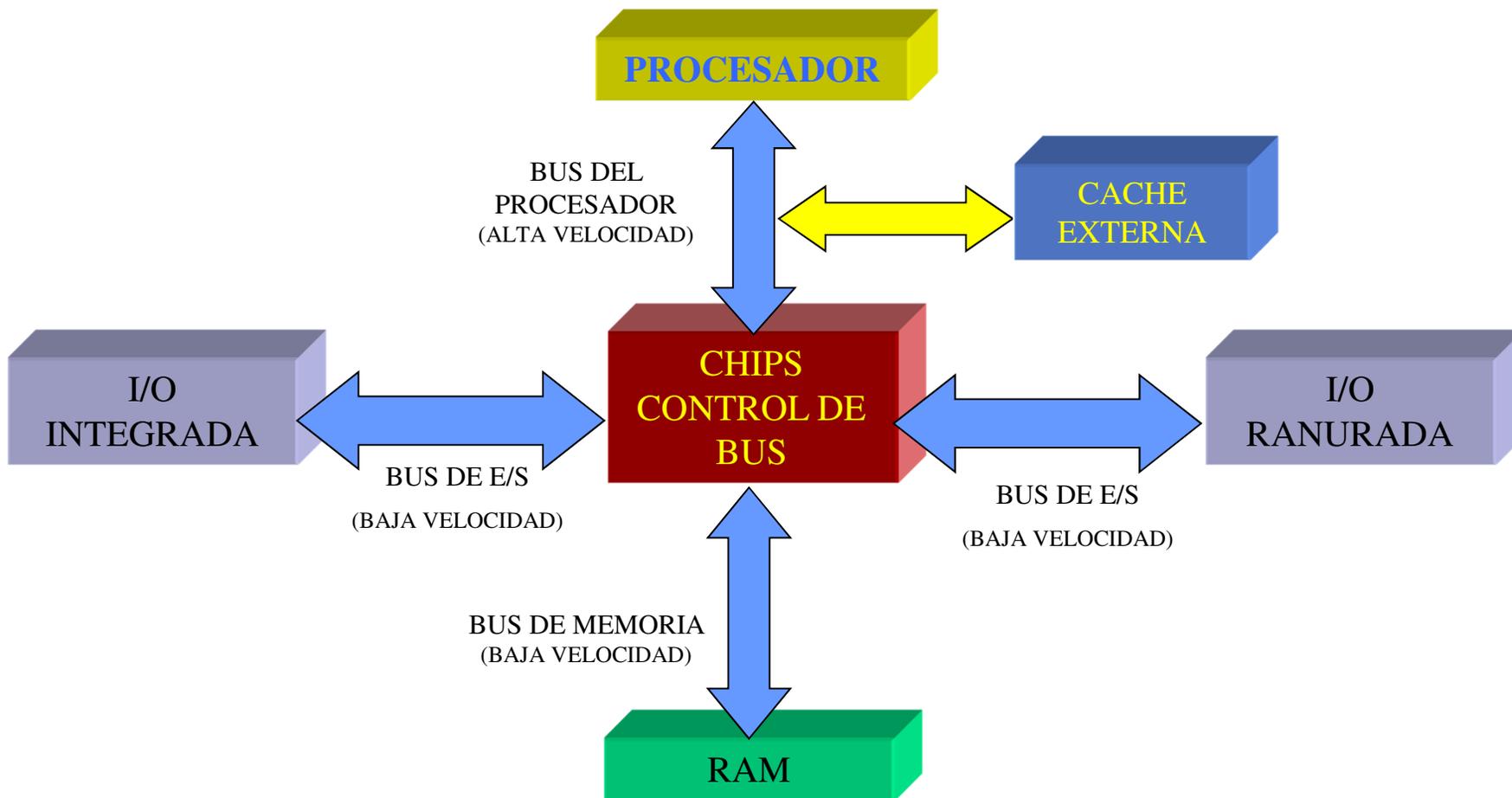
TIPOS DE MEMORIAS RAM

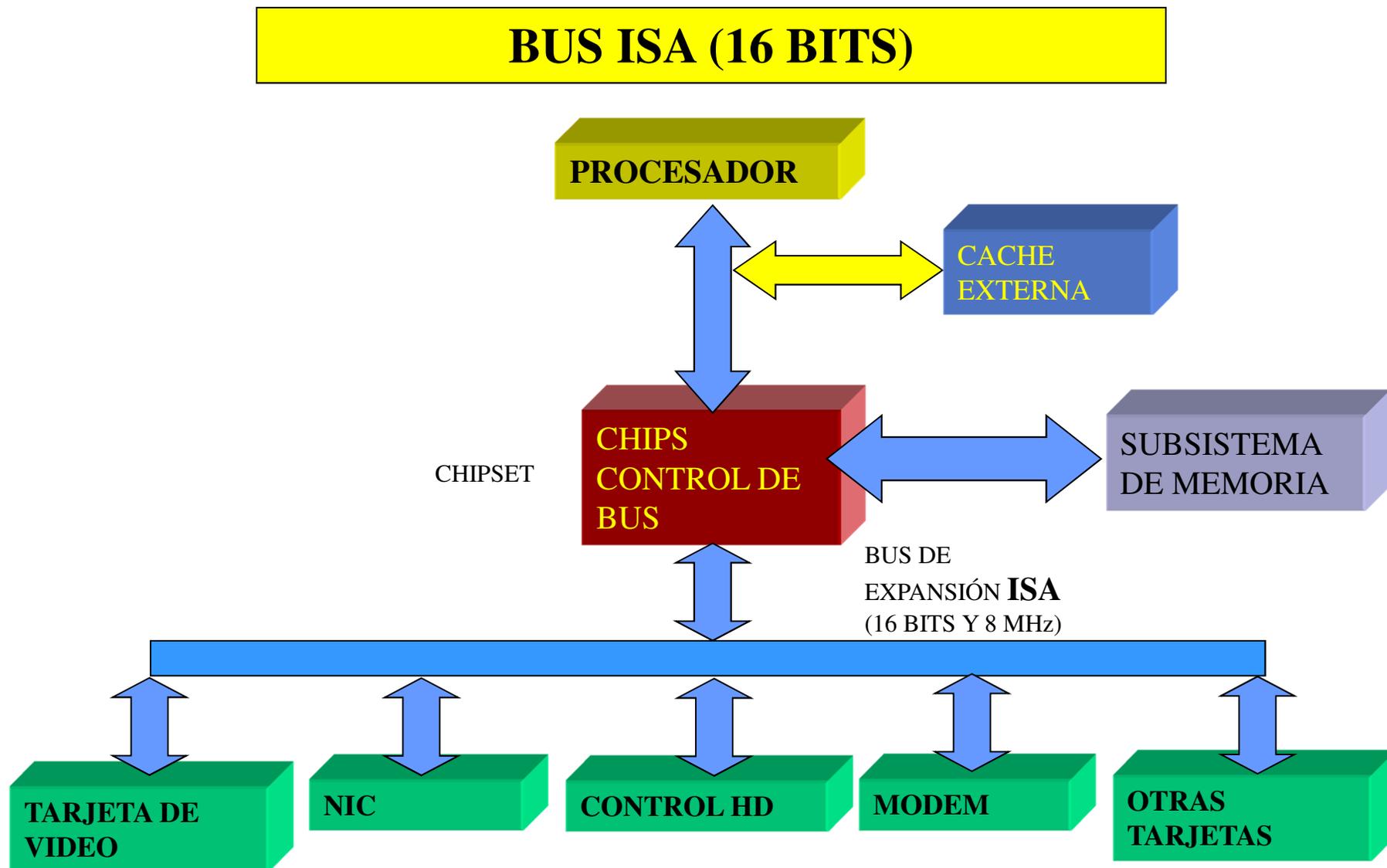
TIPOS DE AGRUPACIONES

- 1. SIP (Single In-line Packages) – Paquete simple de memoria en línea**
- 2. SIMM (Single In-line Memory Module) – Módulo simple de memoria en línea. Versión 30 (8bits) y 72 pines (32bits)**
- 3. DIMM (Dual In-line Memory Module) Módulos de memoria dual en línea. Versión de 168, 184 (DDR) y 232 (DDR-II), con 64 pines**
- 4. RIMM (Rambus In-line Memory Module)- Módulos de memoria Rambus en Línea. 184 pines (16 bits) y con 32 pines y más.**



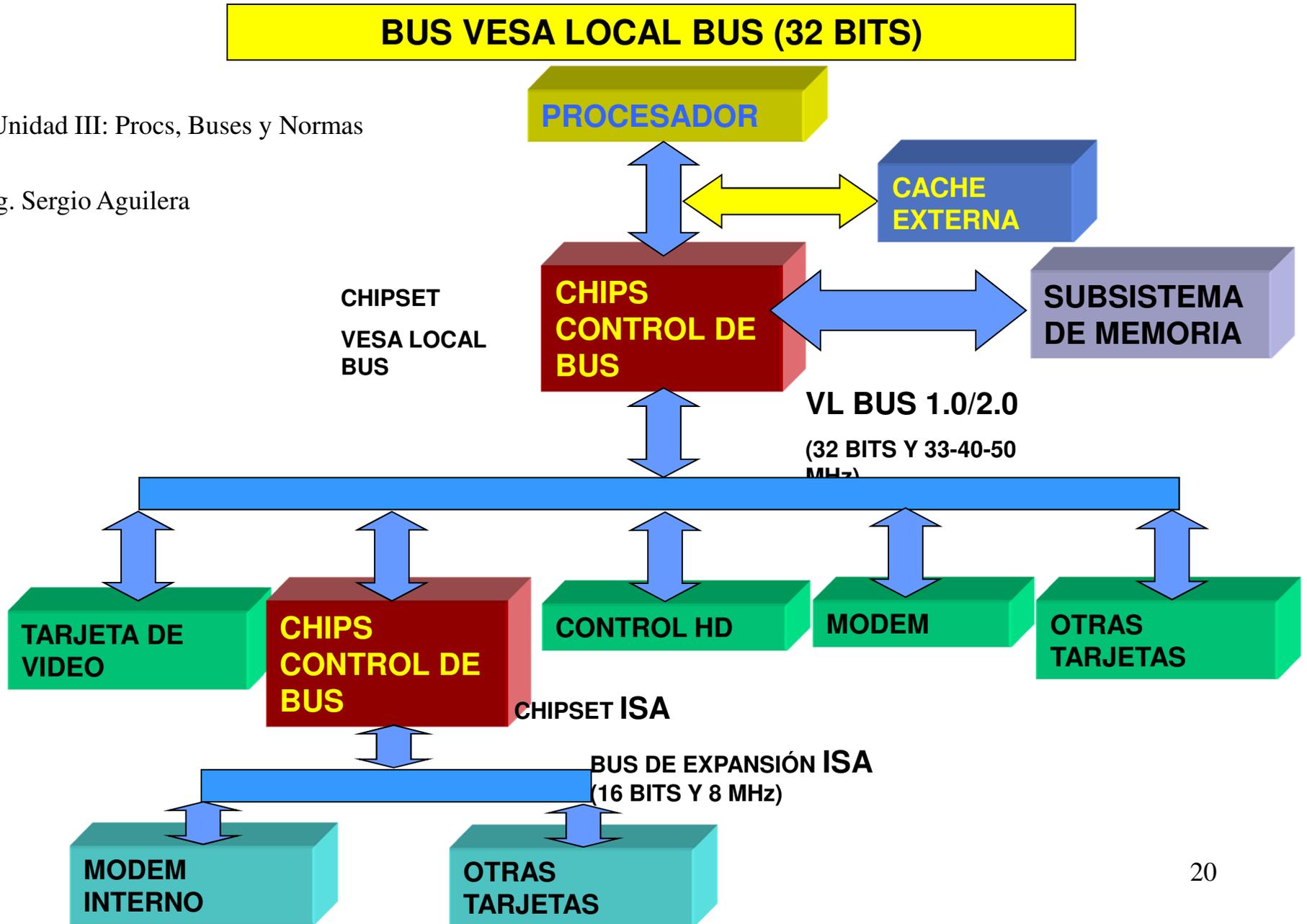
BUSES: DISPOSICION EN PC TRADICIONAL

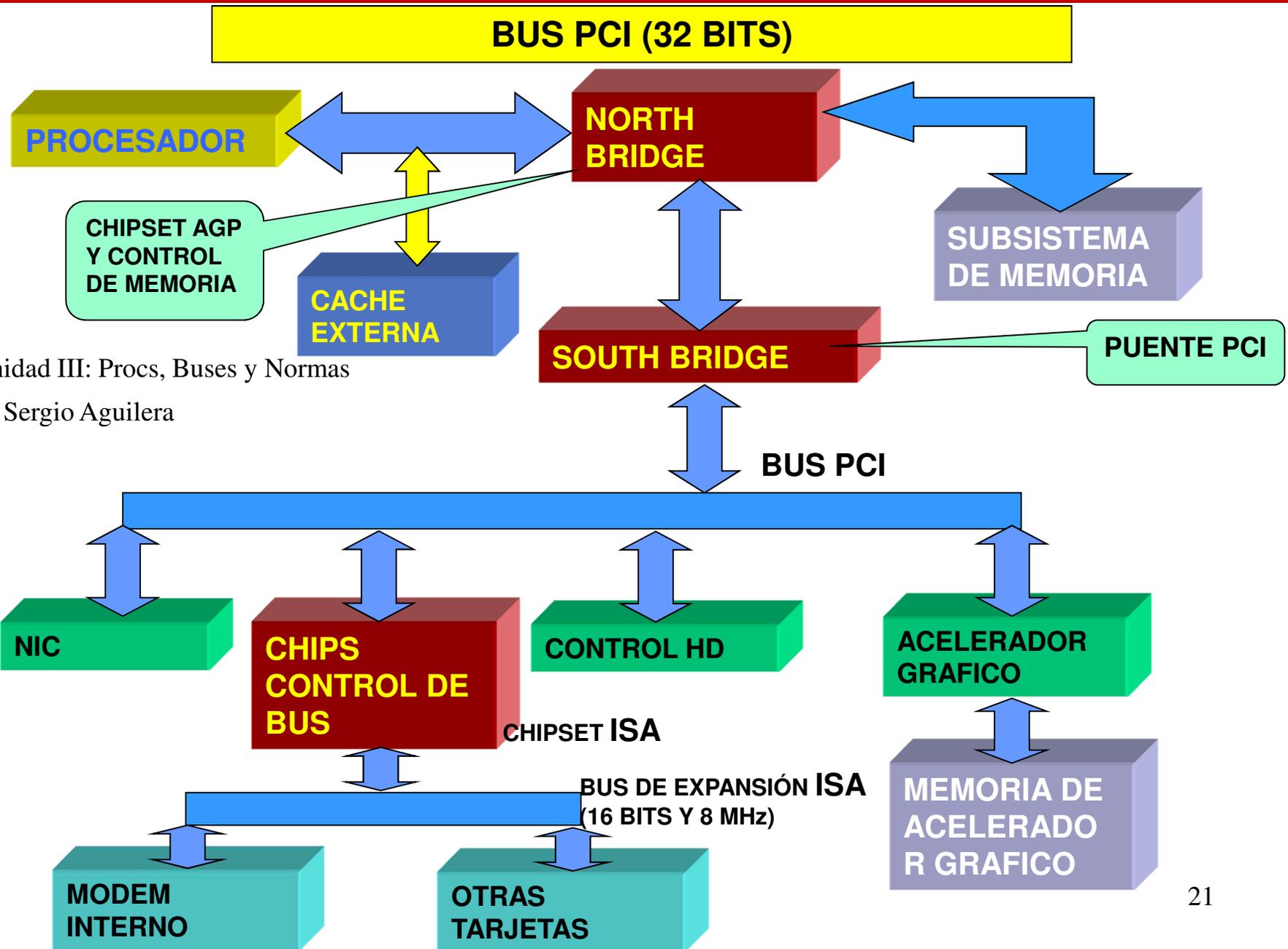




Unidad III: Procs, Buses y Normas

Ing. Sergio Aguilera





Unidad III: Procs, Buses y Normas

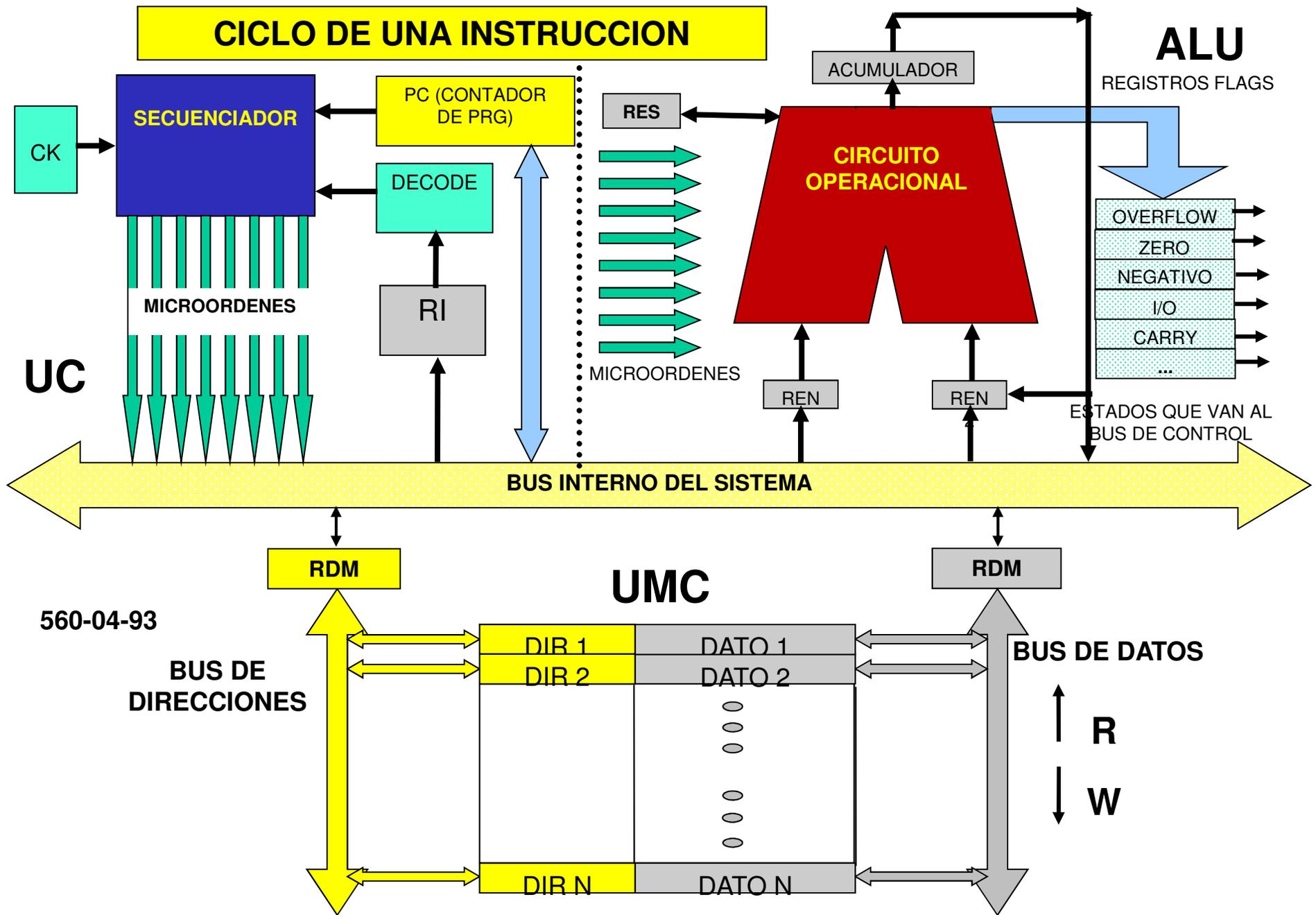
Ing. Sergio Aguilera

BUSES: LOS MÁS IMPORTANTES

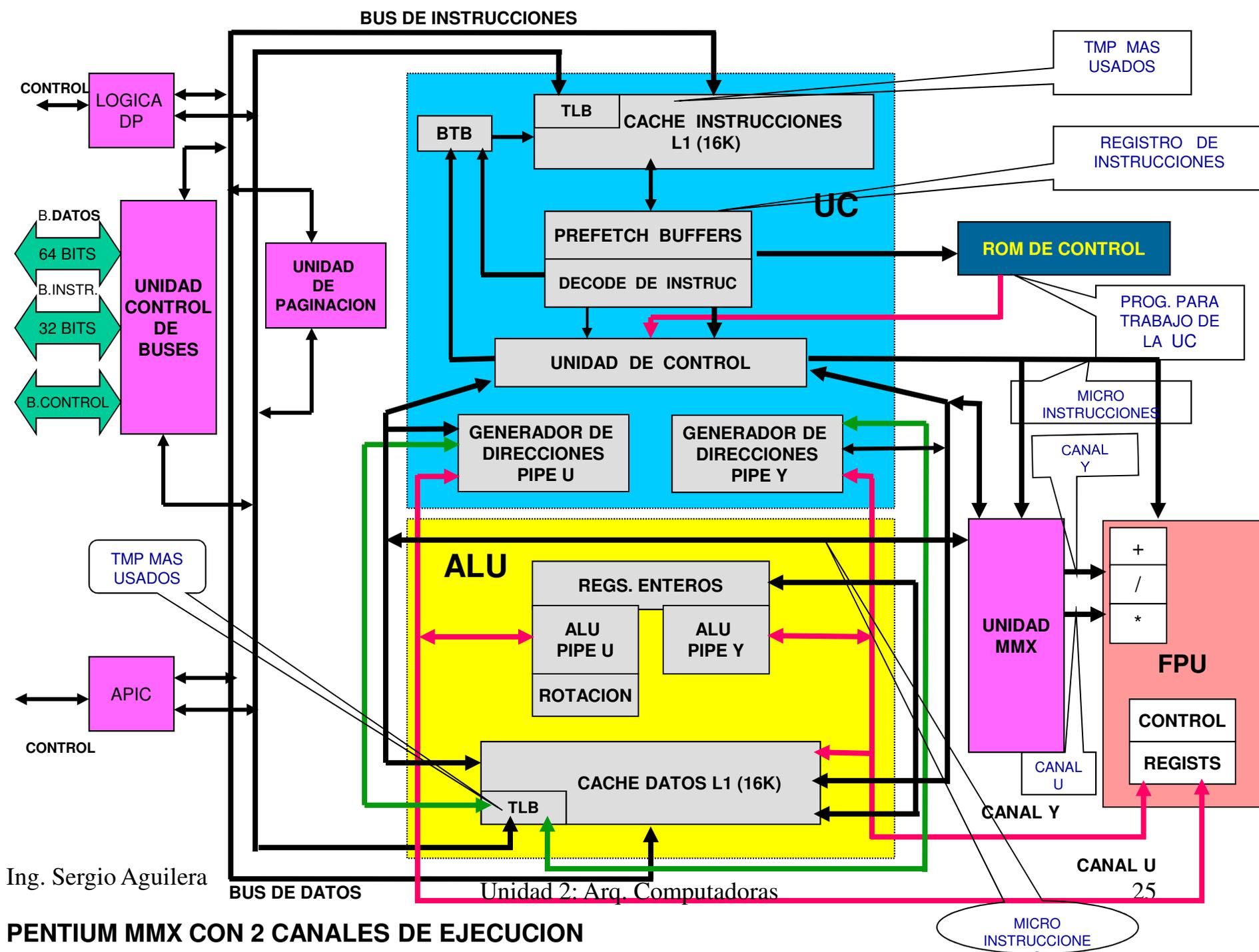
BUS	CARACTERISTICAS
PROCESADOR	LLAMADO FSB (BUS FRONTAL) TRANSFIERE INFO ENTRE CACHE Y LA UMC. VELOC. DE 66, 100, 133, 200MHZ. 64 BITS
AGP (PUERTO ACELERADOR DE GRAFICOS)	32 BITS VELOC. 66 MHZ (AGP 1X) 133MHZ (AGP 2X) 266MHZ (AGP 4X). ANCHO DE BANDA; 1.066MB/S CONECTADO AL CONTROLADOR DE MEMORIA
PCI (INTERFAZ CON PERIFERICOS)	32 BITS Y 33MHZ DE VELOC. VERSION OPCIONAL DE 64 BITS Y 66MHZ. CONECTADO AL CONTROLADOR DE MEMORIA. CINCO RANURAS DE 32 BITS EN MOTHERS. CONECTA SCSI, NICs, VIDEO, IDE Y USB
ISA	8 MHZ, 16 BITS. PARA PERIF. LENTOS

BUSES: NORMALIZACION

NORMA	PALABRA (BITS)	VELOC. (MHZ)	ANCHO DE BANDA (MB/S)
XT	8	4.77	2.39
ISA	8	4.77	2.39
	16	8.33	8.33
EISA (NO USADOS)	32	8.33	33.3
VLB (NO USADOS)	32	33.33	133.33
PCI	32	33.33	133.33
PCI-2X	32	66.66	266.66
PCI 64 BITS	64	33.33	266.66
PCI –2X 64 BITS	64	66.66	533.33
AGP	32	66.66	266.66
AGP-2X	32	66.66	533.33
AGP-4X	32	66.66	1066.66



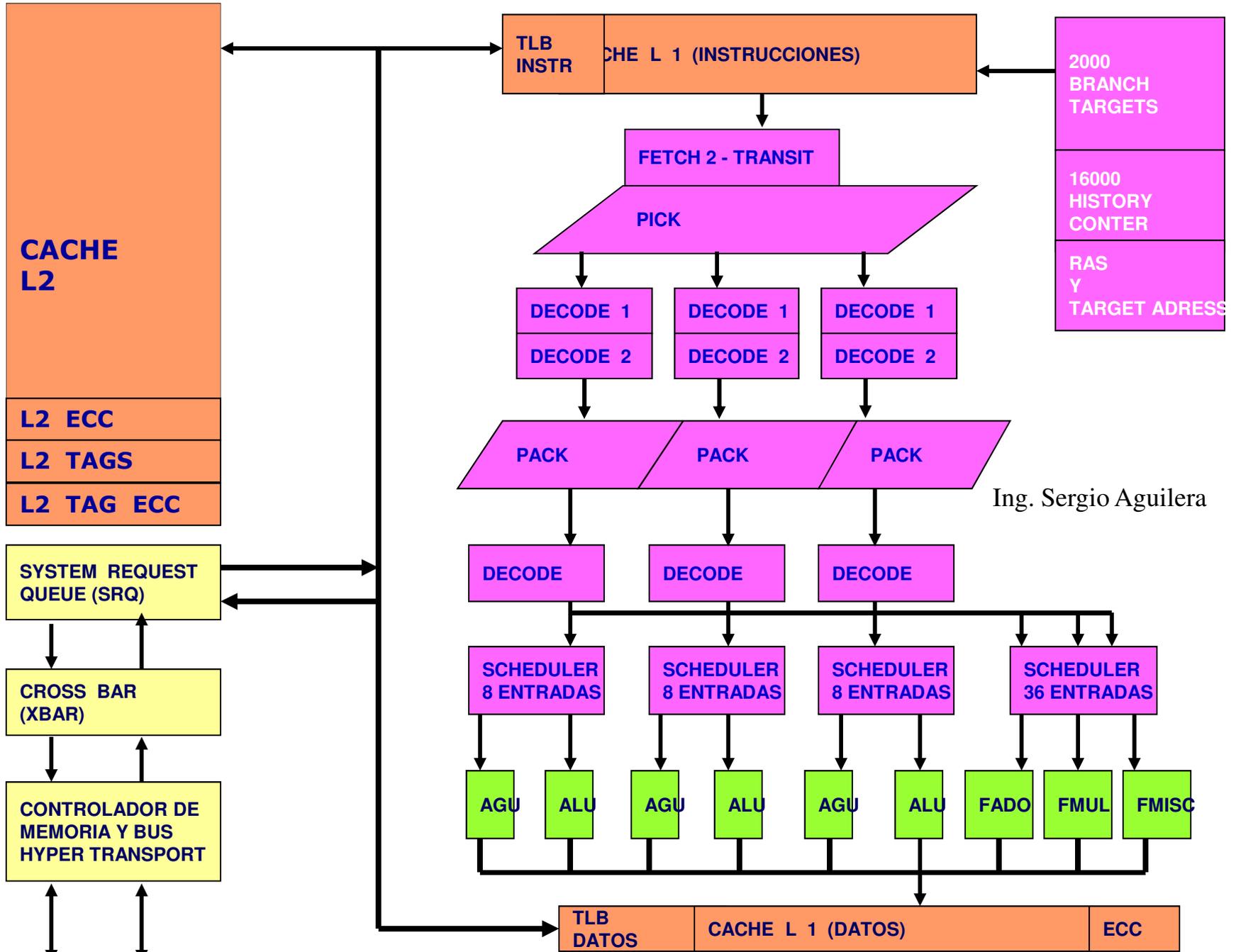
560-04-93



Ing. Sergio Aguilera

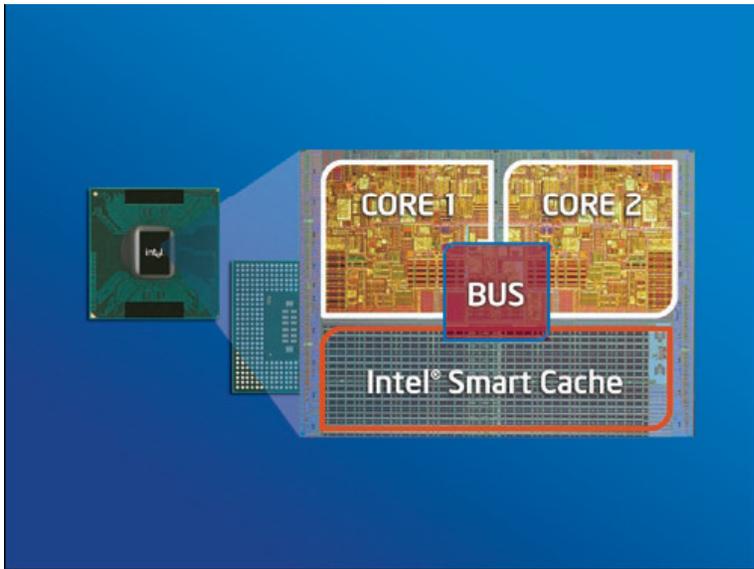
PENTIUM MMX CON 2 CANALES DE EJECUCION

MICRO INSTRUCCIONE

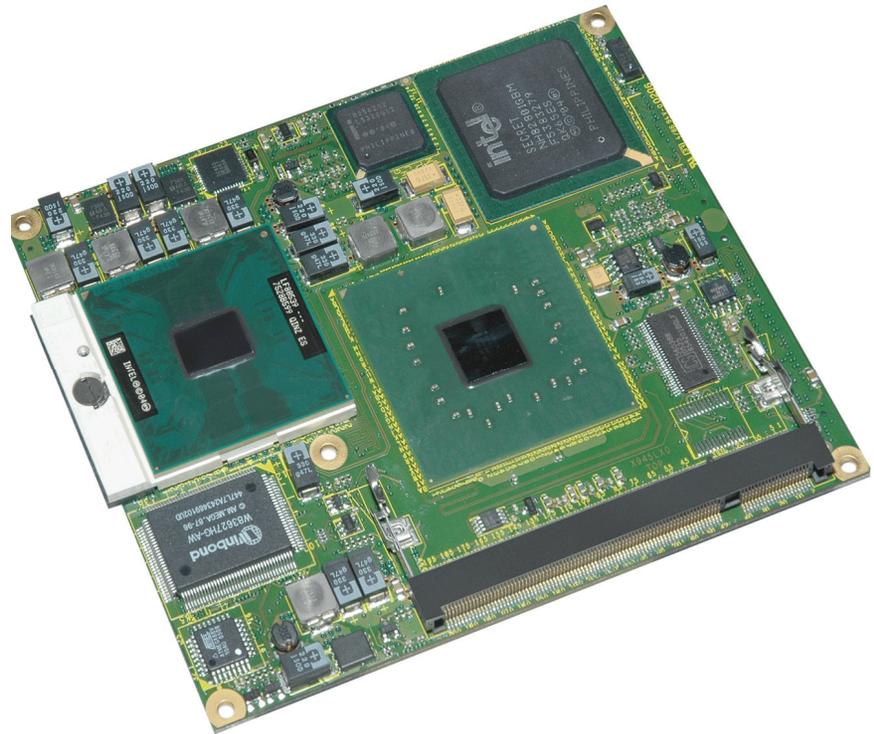


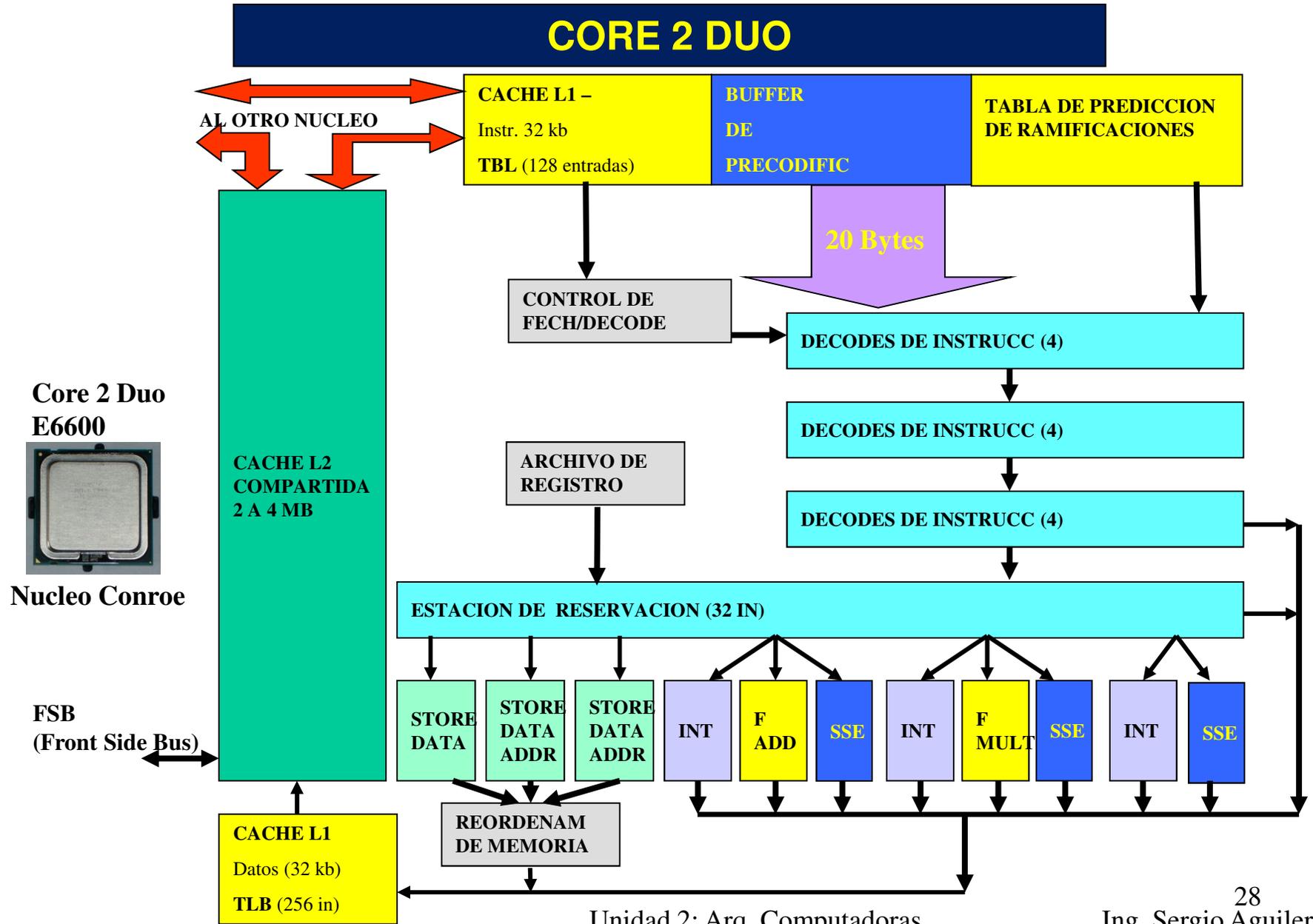
Ing. Sergio Aguilera

PROCESADORES DOBLE NUCLEO



PROCESADOR CORE DUO
2GHz



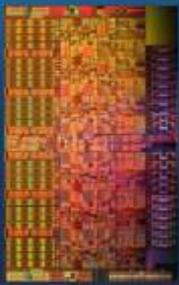


ARQUITECTURA i7 (multinúcleos)

Intel® Core™ i7-980X Processor Extreme Edition Powered By Intel 32nm Westmere Architecture

Intel® Core™ Microarchitecture		Intel® Microarchitecture codename Nehalem		Future Intel® Microarchitecture
Merom	Penryn	Nehalem	Westmere	Sandy Bridge
NEW Microarchitecture 65nm	NEW Process Technology 45nm	NEW Microarchitecture 45nm	NEW Process Technology 32nm	NEW Microarchitecture 32nm On Track
TOCK	TICK	TOCK	TICK	TOCK

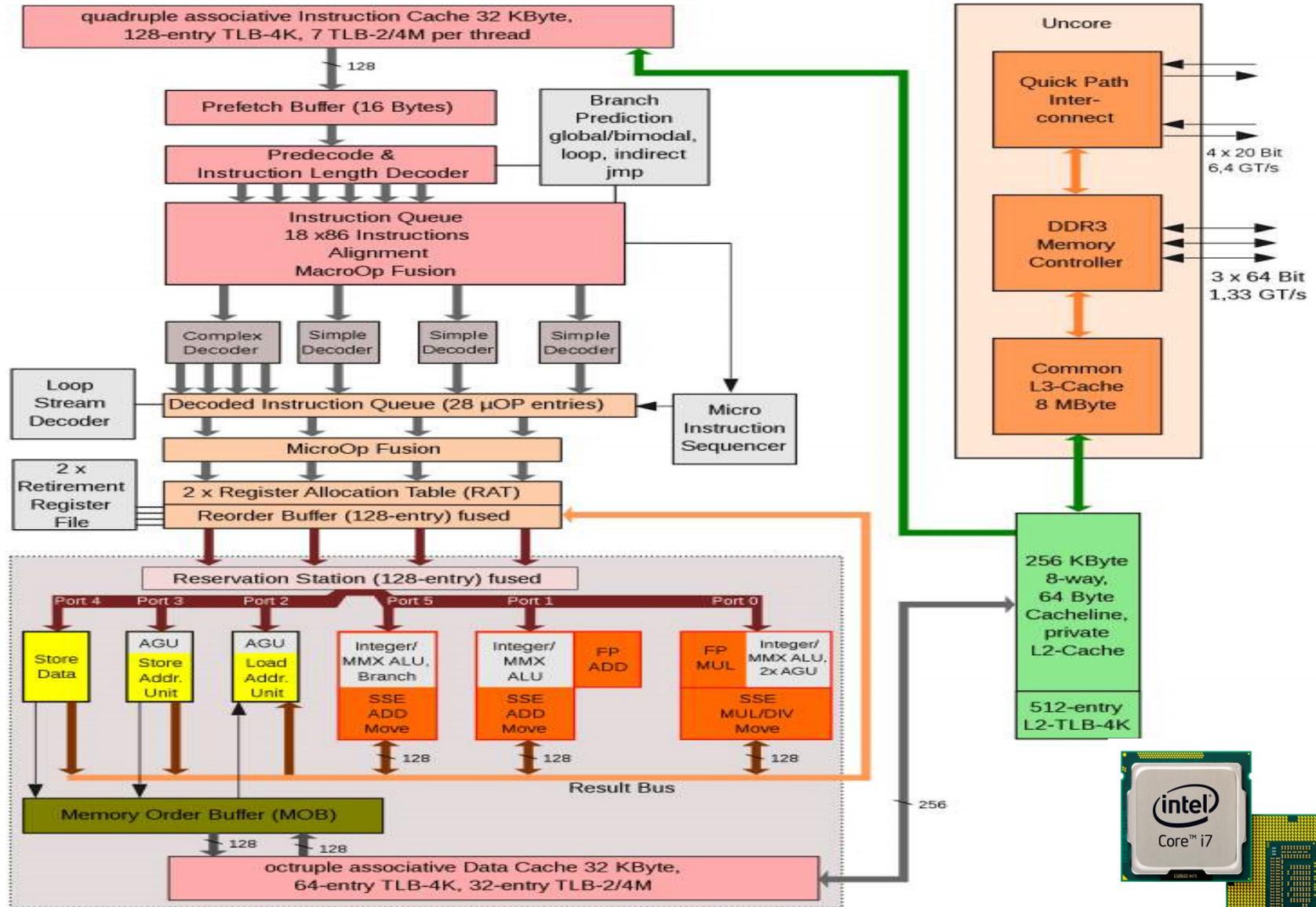
Intel® Core™ i7-980X
Intel's first 32nm desktop processor with 6 cores and 12 threads



All dates, product descriptions, availability, and plans are forecasts and subject to change without notice.

Copyright © 2010, Intel Corporation. All rights reserved. INTEL CONFIDENTIAL

Intel Nehalem microarchitecture



GT/s: gigatransfers per second



PROCESADORES: PALABRA – BUS DE DATOS Y DIRECCIONES

Microprocesador	Tamaño de la palabra (bits)	Ancho de bus de datos (interno, bits)	Ancho de bus de datos (externo, bits)	Ancho del bus de direcciones (bits)	Máximo direccionamiento de Memoria
i8086	16	16	16	20	1024KB (1GB)
i8088	16	16	8	20	1024KB (1GB)
i80286	16	16	16	24	16384KB (16MB)
i80386	32	32	16	24	16384KB (16MB)
i80486 (SLC, SLC2)	32	32	16	24	16384KB (16MB)
i386 DX	32	32	32	32	4096KB (4GB)
I486 (DLC,DLC2 ,SX, SX2, SL, DX, DX2, DX4)	32	32	32	32	4096KB (4GB)
IBM BLUE LIGHTING	32	32	32	32	4096KB (4GB)
5X86	32	32	32	32	4096KB (4GB)
PENTIUM	32	2 X 32=64	64	32	4096KB (4GB)
PENTIUM P54C	32	2 X 32=64	64	32	4096KB (4GB)

PROCESADORES: PALABRA – BUS DE DATOS Y DIRECCIONES

Microprocesador	Tamaño de la palabra (bits)	Ancho de bus de datos (interno, bits)	Ancho de bus de datos (externo, bits)	Ancho del bus de direcciones (bits)	Máximo direccionamiento de Memoria
NX 586	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
K5	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
K6, K6-2, K6-III	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
6X86	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
6X86 MX (M2)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
ATHLON (K7)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
DURON (K7)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
THUNDERBIRD (K7)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
ATHLON XP (THOROUGHbred)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
ATHLON XP (PALOMINO)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)
ATHLON XP (BARTON)	32	2 X 32=64	2 X 32=64	32	4096KB (4GB)

PROCESADORES: PALABRA – BUS DE DATOS Y DIRECCIONES

Microprocesador	Tamaño de la palabra (bits)	Ancho de bus de datos (interno, bits)	Ancho de bus de datos (externo, bits)	Ancho del bus de direcciones (bits)	Máximo direccionamiento de Memoria
PENTIUM MMX	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM PRO	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
CELERON	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
CELERON A	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM II	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM III	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM 4 (1ER GENERACION)	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM 4 CELERON	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM 4 (2DA GENERACION)	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
PENTIUM 4 (HYPERTRHEADING)	32	2 X 32=64	2 X 32=64	36	65536MB (64GB)
ITANIUM	64	64	64	44	16384 GB
ITANIUM 2	64	2 X 64=128	2 X 64=128	50	1048576GB (1024TB)

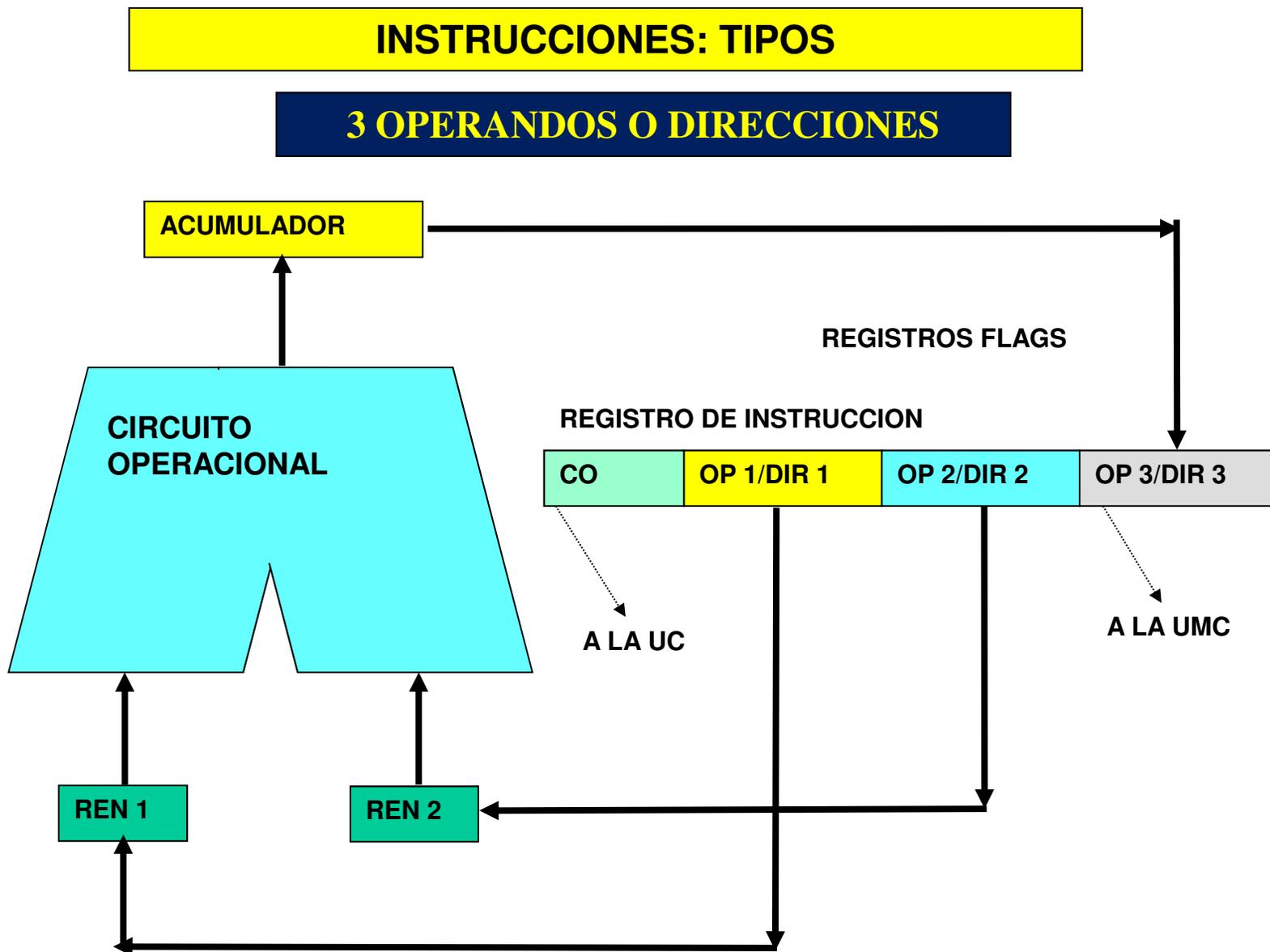
Características de los Core DUO		Core 2	Athlon 64 x2	Pentium D/EE
Nombre Clave		Conroe	KB	Cedar Mill
Proceso de manufactura		65 nm	90 nm	65 nm
Tamaño		111 - 143 mm(-2)	183 mm(-2)	280 mm (-2)
Transistores		167 - 291 millones	154 - 205 millones	376 millones
Potencia disipada		65 - 75 W	89 - 125 W	130 W
Frecuencia de Trabajo		1.86 - 2.93 Ghz	1.8 - 2.8 Ghz	2.26 - 3.8Ghz
Caché L1	Datos	32 Kb	64 KB	12 KB (trace)
	Instrucciones	32 Kb	64 KB	16 KB
	Latencia	3 ciclos	3 ciclos	4 ciclos
	Asociatividad	8 vías	2 vías	8 vías
	Entradas de TLB	128/256	32/32	128/8
Caché L2	Tamaño	2 o 4 MB (compartida)	0.5 o 1 MB (por núcleo)	1 o 2 Mb (por núcleo)
	Latencia	14 ciclos	12 ciclos	27 ciclos
	Asociatividad	16 vías	16 vías	8 vías
	Bus	256 bits	128 bits	256 bits
	Entradas de TLB	N/A	512	128/8
Etapas de pipeline		14	12	31
Bus de carga instrucciones		24	16	4
Decodificadores x86		1 complejo + 3 simples	3 complejos	1 complejo
Buffer de reordenamiento		96	72	126
Entradas de Scheduling		32	60	46
Motor de ejecución	Unidades de enteros	3 ALU + 2 AGU	3 ALU + 3 AGU	2 ALU + 2 AGU
	Unidades de load/store	2	1	2
	Unidades de punto flotante	4	3	2
	Unidades SSE	3 (128 bits)	2 (64 bits)	1 (128 bits)

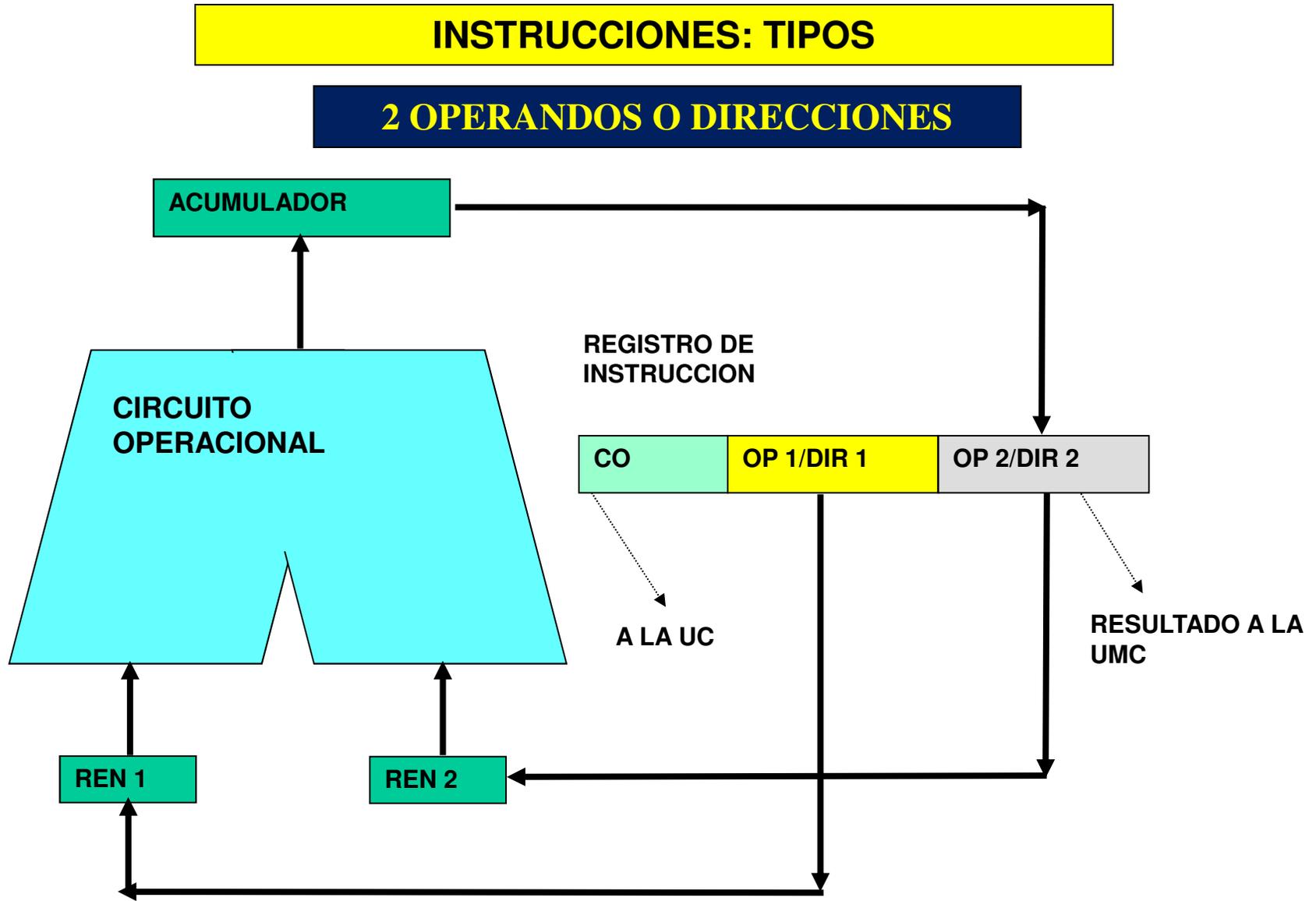
PROCESADORES: VELOCIDAD

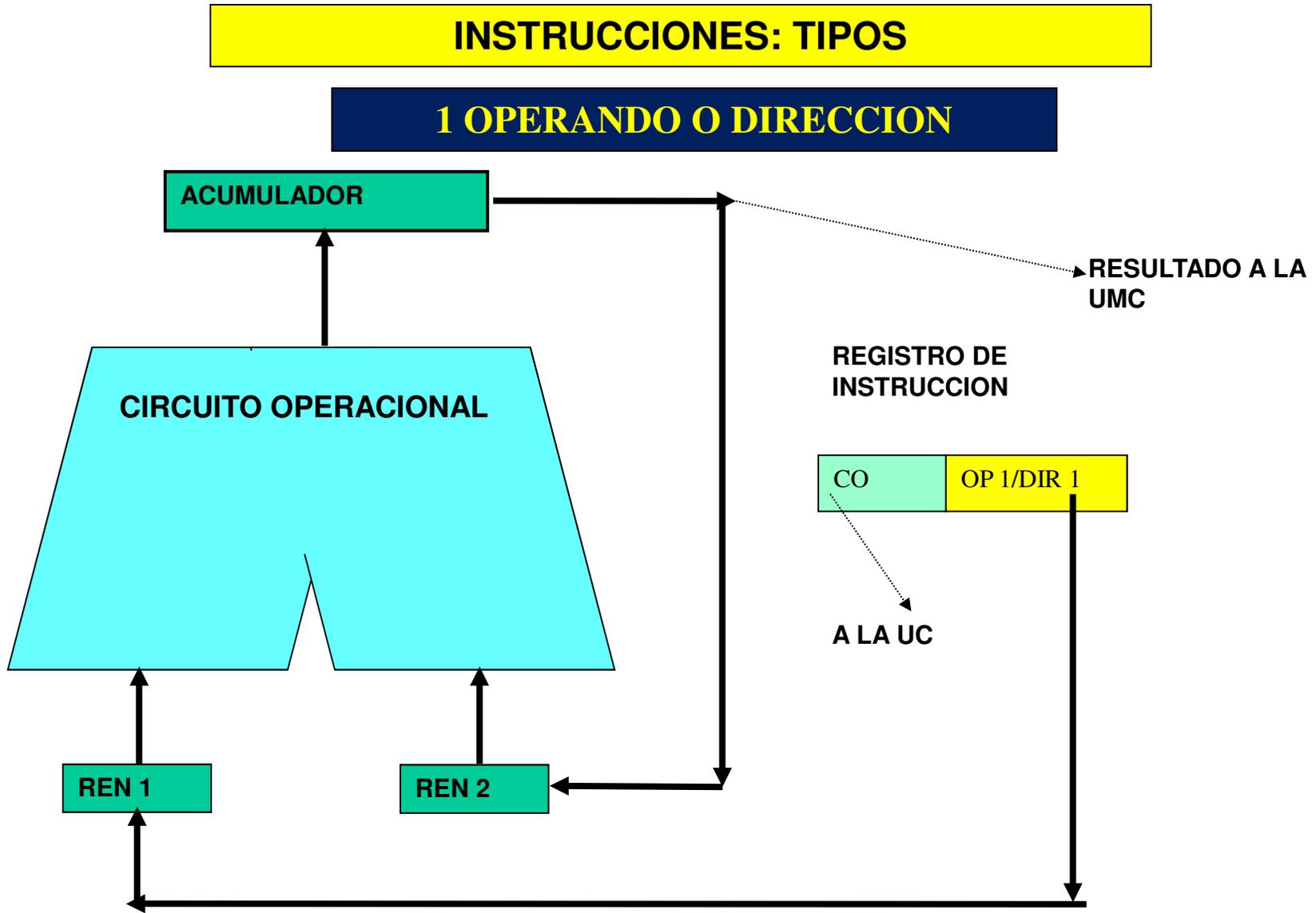
Microprocesador	Veloc. Reloj (Interna) Interna	Veloc. Reloj (Interna) Externa	Velocidad del FSB (Externa) Mínima	Velocidad del FSB (Externa) Máxima
8086/8088	4.77 MHz	12 MHz	4.77 MHz	12 MHz
80286	6 MHz	20 MHz	6 MHz	20 MHz
80386 (DX – SX)	16 MHz	40 MHz	16MHz	40 MHz
80486 (DX/2/4)	25 MHz	100 MHz	25 MHz	50 MHz
Pentium P54C y MMX	60 MHz	233 MHz	60 MHz	66 MHz
Pentium Pro	150 MHz	266 MHz	60 MHz	75 MHz
Pentium II	233 MHz	450 MHz	66 MHz	100 MHz
Celeron y Celeron A	266 MHz	533 MHz	66 MHz	66 MHz
Pentium III	450 MHz	1 GHz	100 MHz	133 MHz
Pentium III Celeron	566 MHz	1.40 GHz	66 MHz	100 MHz
Pentium 4	1.40 GHz	3.06 GHz	400 MHz	533 MHz
Pentium 4 Celeron	1.70 GHz	2.5 GHz	400 MHz	400 MHz
Pentium 4 (HyperTherading)	2.40 GHz	10 GHz (??)	533 MHz	800 MHz (^)
Pentium 4 (HyperTherading) Extreme Edition	3.20 GHz	10 GHz (??)	800 MHz	800 MHz (^)

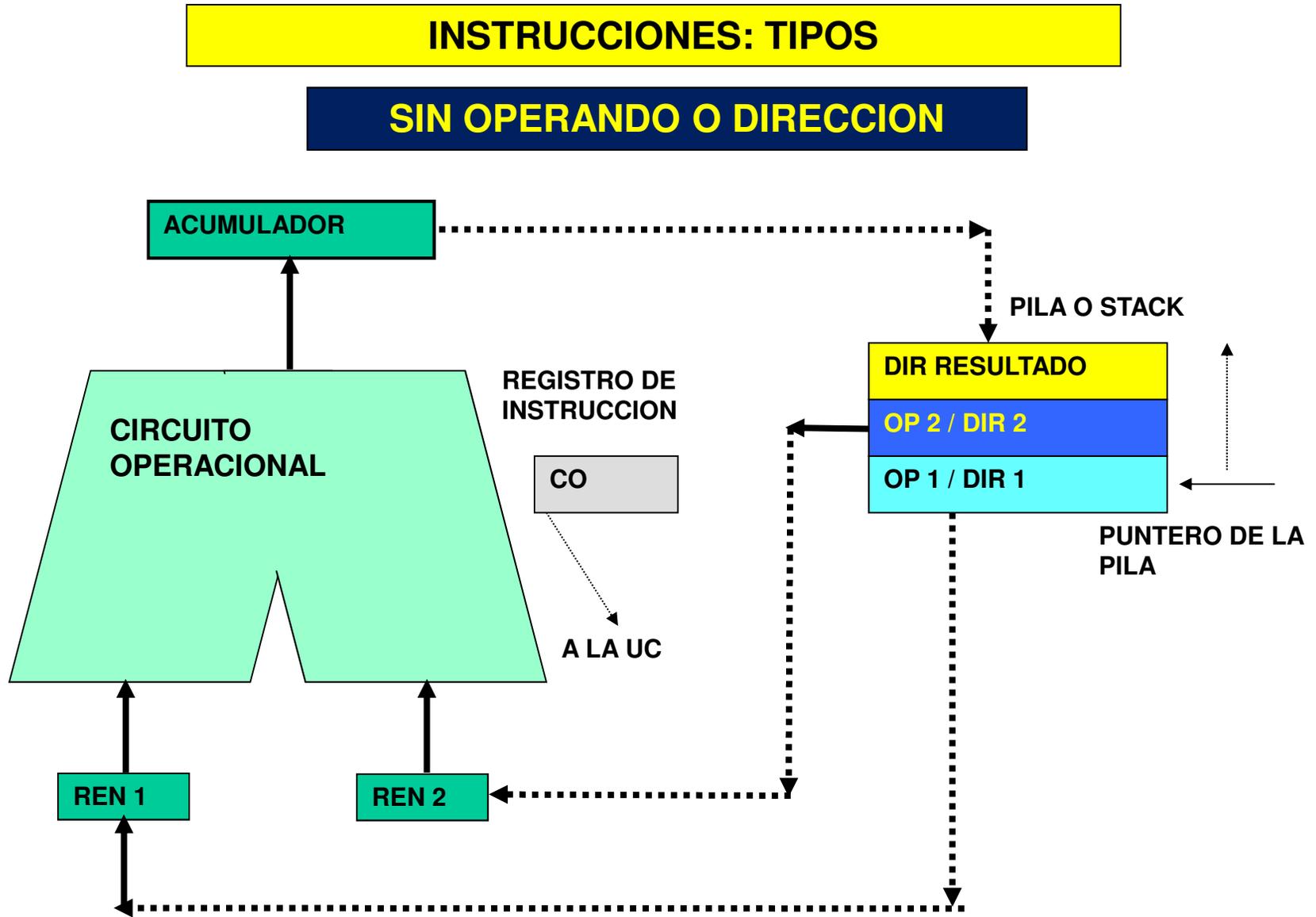
PROCESADORES: VELOCIDAD

Microprocesador	Veloc. Reloj (Interna) Mínima	Veloc. Reloj (Interna) Máxima	Velocidad del FSB (Externa) Mínima	Velocidad del FSB (Externa) Máxima
K5	100 MHz	166 MHz	66 MHz	66 MHz
K6	166 MHz	300 MHz	66 MHz	66 MHz
K6-2	266 MHz	450 MHz	66MHz	100 MHz
K6 – III	400 MHz	450 MHz	100 MHz	100 MHz
6X86	120 MHz	200 MHz	66 MHz	75 MHz
6X86 MX (M2)	166 MHz	350 MHz	66 MHz	100 MHz
ATHLON (K7)	500 MHz	1.2 GHz	200 MHz	266 MHz
DURON (K7)	700 MHz	1.30 GHz	200 MHz	200 MHz
ATHLON XP	1.33 GHz	10 GHz (??)	266 MHz	400 MHz

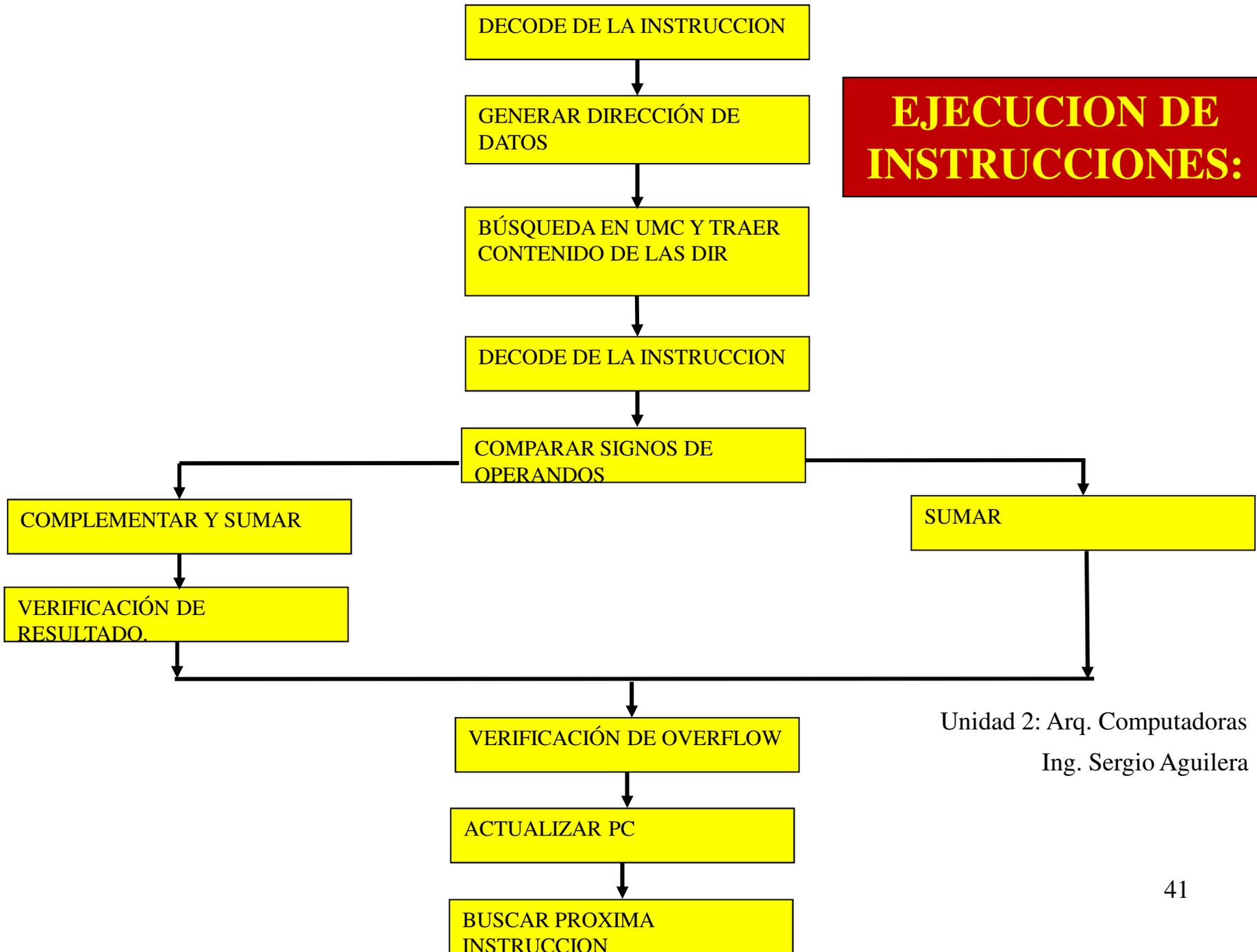






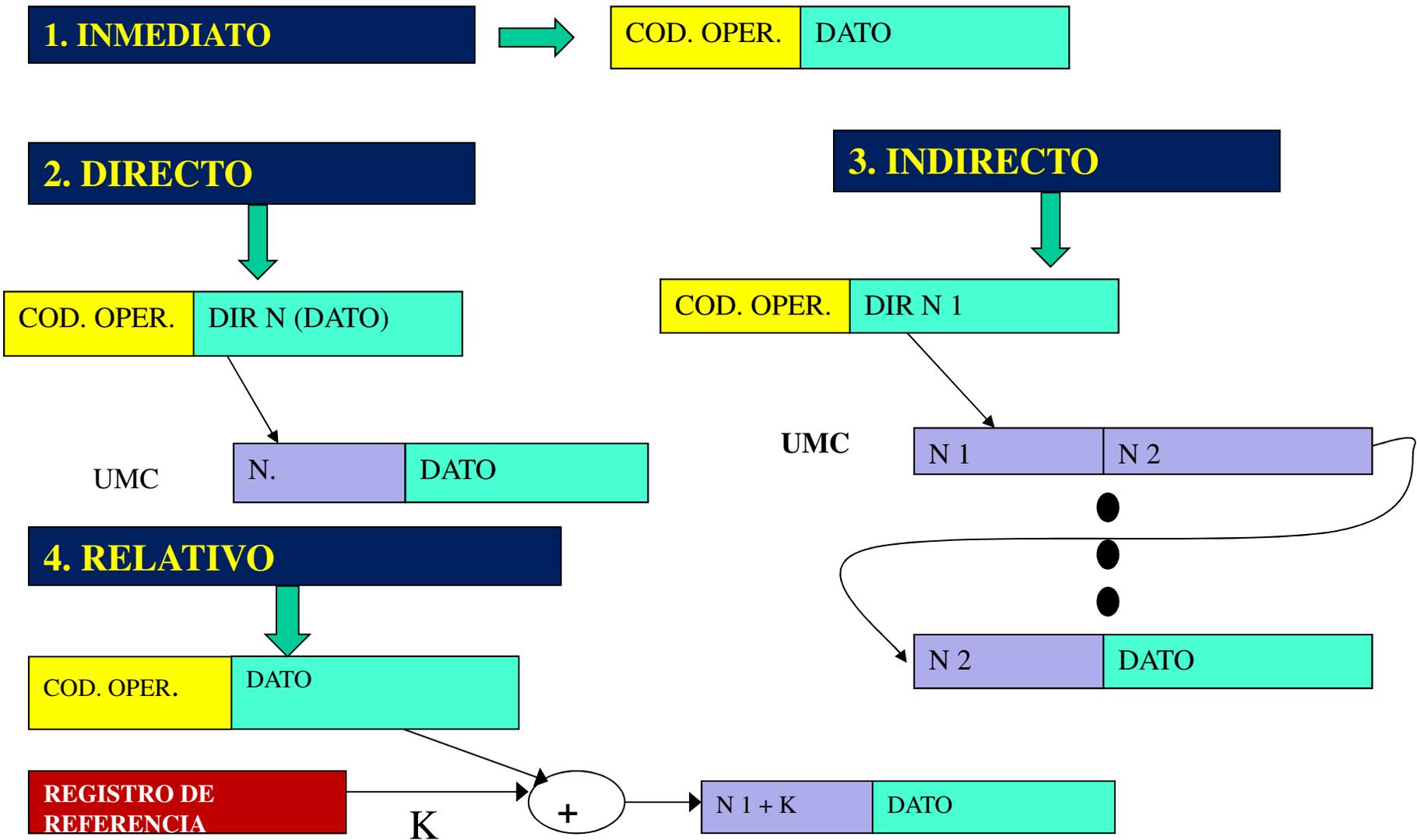


EJECUCION DE INSTRUCCIONES:



Unidad 2: Arq. Computadoras
Ing. Sergio Aguilera

METODOS DE DIRECCIONAMIENTO



BIBLIOGRAFIA DE REFERENCIA

- ❖ · Estructuras de Computadoras y Periféricos. Rafael J. Martinez Duró, Jose A. Boludo Grau, Juan J. Pérez Solano. Ed. Ra-Ma Alfaomega. 2001.
- ❖ · Organización y Arquitectura de Computadores. Willams Stallings. Prentice-Hall. 2600. 7ed.
- ❖ · Organización y Arquitectura de Computadoras. Jaime Martinez Garza, Jorege Agustín Olvera Rodríguez. Prentice-Hall. 1era Edición. 2000.
- ❖ · Manual de Actualización y reparación de PCs, 12 edición. Scott Mueller. Que, Prentice Hall, 2001.
- ❖ · Organización de Computadores, un enfoque estructurado, 7 edición. Andrew Tanenbaun. Prentice Hall, 2001.
- ❖ · ESTRUCTURA INTERNA DE LA PC. Gastón C. Hillar. Ed. Hasa. 4ta. Edición. Bs.As.Feb. 2004.
- ❖ · ORGANIZACIÓN Y ARQUITECTURA DE COMPUTADORES. Willams Stallings. Prentice-Hall. 2000.
- ❖ · CIENCIAS DE LA COMPUTACION. Brookshear. Addison Wesley.
- ❖ · REDES DE ORDENADORES. Andrew Tannenbaum. Prentice Hall.

FIN DEL UNIDAD 2

**ARQUITECTURA
COMPUTADOR**

