

PLAN DE ESTUDIOS: 2004 Ajuste 2011
ANO ACADEMICO: 2013
CARRERA: Ingeniería Electrónica

1. Objetivos

- ❖ Conocer y comprender el comportamiento de dispositivos y circuitos digitales.
- ❖ Utilizar y adaptar métodos y herramientas para el análisis y diseño de sistemas digitales.
- ❖ Desarrollar capacidad de análisis y síntesis adquiridos mediante la resolución de problemas de gabinete como en simulaciones.
- ❖ Contribuir al desarrollo de un espíritu crítico y creativo que aseguren su capacidad de participar activamente en los trabajos grupales y que permitan enfrentar nuevas situaciones en el campo de las técnicas digitales.

2. Contenidos

- ❖ **Unidad 1:** Introducción a los Códigos. Sistemas de numeración Decimal y Binario: Sistemas de Base 10 y de Base 2, Binary Digit o BIT, LSB o Bit Menos Significativo y MSB o Bit Más Significativo. Conversión de Binario a Decimal. Conversión de Decimal a Binario: los 2 Métodos. La base como subíndice para su identificación. Conversión de un número fraccionario. Sistema Numérico Hexadecimal. Sistema de base 16. Conversión de Hexadecimal a Decimal. Comparación Decimal-Binario-Hexadecimal. Conversión de Binario a Hexadecimal y Viceversa.
Algunos Códigos utilizados en Técnicas Digitales: Codificación de los Números. Decimal Codificado en Binario (BCD): 4 bits con pesadas 8, 4, 2, 1. Código para magnitudes binarias: natural de 8 bits.
Operación de Suma Binaria: el Acarreo. Suma con acarreo de entrada.
Operación de Resta Binaria: el préstamo. Operaciones aritméticas entre magnitudes binarias codificadas: Suma de magnitudes – el Acarreo Final. Resta de magnitudes – el Préstamo Final.
Resta Binaria con Complemento a Uno: Complemento a uno. Rebasamiento y Acarreo Circular o EAC. Resultados negativos.
Resta Binaria con Complemento a Dos: Complemento a dos. Análisis del Rebasamiento: Resultados negativos. Ventajas de la Resta con Complemento a Dos.
Números en Complemento a Dos con Signo: Suma y Resta de número en Complemento a Dos: Ejemplos con codificación de ocho bits. Análisis del Rebasamiento y del bit de signo.
Códigos para números reales binarios: Signo, Exponente y Mantisa. Codificación de 32 y 64 bits. Codificación de acuerdo a Norma IEEE 754

Codificación BCD Aiken: el concepto de simetría. BCD Exceso 3. Código 2 de 5. Código de 7 segmentos.

❖ **Unidad 2:** Introducción a los dispositivos electrónicos digitales – Estados lógicos – lógica de contactos – funciones AND y OR – Circuitos y Tabla de Verdad

Compuertas Lógicas Elementales: AND , OR , NOT o INVERSOR y BUFFER y Compuestas: NAND, NOR , OR EXCLUSIVA , NOR EXCLUSIVA.

Diseño de un circuito específico utilizando compuertas lógicas. Álgebra Booleana: Constantes, Variables y Funciones Booleanas. Relación entre las Funciones, el Símbolo, la Representación Booleana y la Tabla de Verdad.

Uso de las expresiones Booleanas: obtención de la expresión booleana a partir de la tabla de verdad – el mini termino.

Teoremas Boléanos: Identidades de las funciones Booleanas. Leyes conmutativas – distributiva – asociativa. Ley de absorción. Ley de De Morgan.

Manipulación algebraica: generación de diagramas lógicos a partir de las expresiones Booleanas – con compuertas NAND - con compuertas NOR. Minimización lógica – Simplificación algebraica.

Mapas de Karnaugh: simplificaciones de expresiones lógicas de hasta 5 variables. Condiciones irrelevantes.

Métodos automatizados para la Minimización: minimización de Quine-McCluskey . Riesgos

❖ **Unidad 3:** Introducción y revisión de la Suma Binaria. Implantación de la Suma Binaria: El Semisumador mediante compuertas elementales, con el uso de la OR EXCLUSIVA – Profundidad Lógica. El semisumador implantado con compuertas NAND.

La suma binaria con acarreo de entrada y su relación con el Sumador Completo. Su tabla de Verdad. Aplicación a la suma de dos números binarios de 4 bits.

Implantación del Sumador Completo: Expresiones para la suma y el acarreo de salida. Simplificación de las expresiones lógicas mediante Karnaugh. Utilización de compuertas elementales. Mediante dos semisumadores y un OR.

Implantación de la Resta Binaria: consideración de alternativas por complemento a uno y por complemento a dos. Definición del Semirestador. Tabla de Verdad y expresiones lógicas para la Diferencia y el Préstamo. El Restador Completo y su tabla de verdad. Expresiones lógicas. Caso de la resta de dos cifras de 4 bits usando 4 restadores completos.

Código de Gray. Código ASCII. Códigos con detección de errores y técnicas de corrección.

- ❖ **Unidad 4:** Introducción: su interpretación como interacción de una lógica combinacional y elementos de memoria. Sistemas sincrónicos y sistemas asincrónicos. El multivibrador. Clasificación de multivibradores. Biestables sensibles por nivel: Latches.
Multivibrador S-R.: su implantación mediante compuertas elementales. Utilización del latch S-R como conmutador antirebote.
Biestables disparados por flanco o Flip-flops. Flip-flop J-K disparado por flanco. Entradas Asíncronas – Carreras.
Biestables disparados por pulso o Flip-flops Maestro-Esclavo. Monoestable o Circuitos de un solo disparo. Multivibradores Astables.

- ❖ **Unidad 5:** Tecnología digital: introducción, descripción y clasificación de las diferentes familias.
Características globales de los dispositivos digitales: tiempo de retardo – Inmunidad al Ruido – Tiempo de retardo de propagación. Tiempo de preestablecimiento. Tiempo de mantenimiento – Fan-out.
Lógica Resistencia- Transistor (RTL): Ejemplo NOR de dos entradas – Lógica de Diodos: Ejemplos AND de dos entradas – Lógica Diodo-Transistor (DTL): Ejemplo NAND de dos entradas. Circuito Práctico. Lógica Transistor-Transistor (TTL). Lógica de Emisores Acoplados: Ejemplos OR/NOR de tres entradas. Lógica NMOS y PMOS: Ejemplos: AND y OR de dos entradas. Lógica CMOS: Ejemplos: NAND y NOR.
Circuitos Integrados Digitales: clasificación SSI, MSI, LSI y VLSI.
Distintos tipos de salida: relación a las ya vistas de Resistencia de Carga y de Carga Activa. Salida de Tres Estados. Simbología. Salida de Colector Abierto.
Circuitos Combinacionales con Integrados MSI y PLD: Cuestiones de simbología. Señal de Entrada de habilitación. Decodificadores: Ejemplo de 3 líneas a 8. Referencia al 74x138 – Expansión de decodificadores – Decodificadores decimales: Ejemplos: 74x42 y decodificador BCD natural a 7 segmentos. Codificadores – Ejemplo: 74x148. Multiplexores - - Ejemplos 74x151 y 74x253. Comparadores: Comparador de 1 bit. Comparador de magnitudes de 4 bits. Ejemplos 74x682 y 74x85. Sumador binario de 4 bits – Ejemplo 74x283.

- ❖ **Unidad 6:** Introducción a los Dispositivos Lógicos Programables – Introducción a los Dispositivos PAL Combinacionales – Dispositivos PAL medianos.
Dispositivos PAL reprogramables: programación y programadores de dispositivos PAL.
Introducción a los dispositivos PROM.
Dispositivos Lógicos Programables Secuenciales: dispositivos PAL secuenciales y versátiles – dispositivos GAL.
Introducción a los lenguajes de descripción de hardware tipo VHDL.
Contadores asincrónicos: binarios y decimales. Contadores de modulo N: Puesta a cero y carga en paralelo asincrónicas. Conteo en módulo arbitrario. Contadores sincrónicos binarios y decimales. Puesta a cero y

carga en paralelo sincrónicas. Conteo en módulo arbitrario. Aplicaciones. Registros de entrada y salida paralelos: de los tipos latch y sincrónicos. Aplicaciones. Serialización de la entrada (latches direccionables) y de la salida. Comunicación entre registros a través de una estructura de buses multifilares. Bancos de registros. Introducción a las memorias RAM. Registros de desplazamiento. Diversos modos de operación sincrónica, registros de desplazamiento universales.

3. Bibliografía

3.1. Básica

- **3.1.1.** STEPHEN BROWN y ZVONKO VRANESIC – Fundamentos de lógica digital con diseño VHDL Segunda edición – Mc Graw Hill – México, Febrero de 2006.
- **3.1.2.** Jorge E. SINDERMAN – TÉCNICAS DIGITALES, DISPOSITIVOS, CIRCUITOS, DISEÑOS Y APLICACIONES 1ª edición – Editorial CEIT – Abril 2002.

3.2. Adicional

3.2.1. THOMAS FLOYD – Fundamentos de Sistemas Digitales 9º edición – Prentice Hall – España, 2006

3.2.2. JAN RABAEY, ANANTHA CHANDRAKASAN Y BORIVOJE NIKOLIC – Circuitos Integrados Digitales 2º edición – Pearson Educación – Madrid, 2004

3.2.3. Manuales de los fabricantes de circuitos digitales integrados: On Semiconductor (ex Motorola), Fairchild Semiconductor, Texas Instruments, Philips, Hitachi, etc. Y para el caso de PALs y GALs: Lattice, Cypress, etc. Los datos de los manuales de los fabricantes, se pueden conseguir, también, de las siguientes paginas WEB :

www.onsemi.com
www.fairchildsemi.com
www.ti.com (Texas Instruments)
www.semiconductors.com (Philips)
www.halshp.hitachi.com
www.latticesemi.com
www.cypress.com

4. Metodología de la enseñanza

Las estrategias que se adoptan en cada caso responden a los siguientes niveles de objetivos en el dominio cognoscitivo: CONOCER — COMPRENDER — APLICAR — SINTETIZAR — EVALUAR.

4.1. Clases teóricas o teórico-prácticas.

Para alcanzar los dos primeros niveles con mayor frecuencia de emplea la “Exposición dialogada” en donde el Docente expone el tema y alterna con preguntas en tanto que el Estudiante recibe el mensaje, registra los contenidos temáticos, interviene, pregunta y saca conclusiones.

Para tal fin, cuando el contexto y los medios lo permiten se hace uso del conjunto Notebook/Cañón o Laboratorio con computadores en red, sobre todo para la proyección de Gráficos y Esquemas de Circuitos. El Docente aprovecha las “cuestiones por resolver” que surgen en el desarrollo de la exposición dialogada como disparadores de ideas por parte de los alumnos encuadrando el subsiguiente desarrollo dentro del esquema de “Torbellino de Ideas”.

Como estrategia de autoaprendizaje algunos temas teóricos/prácticos se seleccionan y se encomienda a los diferentes grupos sean preparados fuera del horario de clase para su exposición oral en el curso.

4.2. Actividades Prácticas

Experiencias similares al “Taller” se ponen en práctica en toda las actividades que se desarrollan en el aula, o en los Laboratorios, tanto de Instrumental Electrónico de Medición como el de Ordenadores Personales en donde se llevan a cabo los trabajos prácticos que serán detallados, tanto para la resolución de problemas de aplicación, como el ensayo o para la simulación computarizada de circuitos y dispositivos electrónicos digitales que se estudian en la materia.

4.2.1. Prácticas de resolución de problemas

Durante el desarrollo de los diferentes temas se lleva a la práctica el Método de “Resolución de Problemas”. Efectivamente dentro del grupo de problemas que se han dividido en “verificación o análisis” en donde por aplicación de técnicas grupales y mediante la estrategia de Inducción el Docente pasa a la aplicación a un caso típico, interactúa y dialoga, en tanto que los Alumnos resuelven la aplicación, interactúan con sus pares de grupo, con el Profesor y Auxiliares, dialoga.

Mediante otra categoría de Problemas, aquellos que llamamos de “proyecto” a través de la estrategia de Deducción el Docente presenta un proyecto a resolver, a partir de lo cual se limita a orientar al alumno, interactúa y dialoga con los mismos y el Alumno resuelve el proyecto, interactúa con sus pares de grupo y con los docentes (Profesor y Auxiliares).

Como parte de la estrategia de autoaprendizaje parte de los problemas tanto de verificación como de proyecto, reunidos en Trabajos Prácticos de Problemas se encomienda sean resueltos por los alumnos fuera de los horarios de clase. Para hacer consultas a la cátedra se ponen a disposición las direcciones de correo electrónico de los docentes a cargo.

Dentro de este tipo de actividad se destacan:

- 1) TRABAJO PRACTICO N° 1 – CODIGOS
- 2) TRABAJO PRÁCTICO N° 2 – ÁLGEBRA DE BOOLE
- 3) TRABAJO PRÁCTICO N° 3 – LOGICA DE CONMUTACION
- 4) TRABAJO PRÁCTICO N° 4 – FAMILIAS LÓGICAS
- 5) TRABAJO PRACTICO N° 8 – CONTADORES Y REGISTROS

4.2.2. Prácticas de Laboratorio

- TRABAJO PRACTICO N° 6 – APLICACIONES DE MSI
- TRABAJO PRACTICO N° 7 – LOGICA SECUENCIAL

4.2.3. Prácticas de simulación en computadora

- 1) TRABAJO PRACTICO N° 5 – LOGICA CABLEADA – FAMILIAS LOGICA
- 2) TRABAJO PRACTICO N° 9 – DISPOSITIVOS PAL Y MEMORIAS

5. Evaluación.

La metodología de evaluación se ha seleccionado con la convicción de que la misma debe cumplir dos funciones: debe permitir ajustar la ayuda pedagógica a las características individuales de los alumnos y del contexto mediante aproximaciones sucesivas; y debe permitir determinar el grado en que se han conseguido las intenciones u objetivos del presente proyecto educativo.

El simple hecho de saber que el alumno ha superado “con éxito” el nivel educativo anterior ofrece pocas informaciones útiles por lo que el ajuste de la ayuda pedagógica en el nivel inicial en realidad se consigue tras un período de tanteo y un ajuste intuitivo en función de la experiencia profesional de los docentes a cargo, en tanto que las dificultades y bloqueos que jalonan el proceso de aprendizaje posterior constituyen la evaluación formativa que posibilita seleccionar la ayuda pedagógica más adecuada en cada momento.

Las evaluaciones parciales consistentes en la resolución de problemas similares a los abordados durante el desarrollo del curso se constituyen en otro instrumento de comprobación, en este caso interpretada de manera más formal y dirigida especialmente hacia la evaluación sumativa consistente en medir los resultados del aprendizaje para cerciorarse de que alcanzan el nivel exigido pero sin descartarlo como instrumento de control del proceso educativo ya que el éxito o el fracaso en los

resultados del aprendizaje de los alumnos es un indicador del éxito o fracaso del propio proceso educativo para conseguir sus fines

Si bien esta evaluación sumativa tiene lugar al final del ciclo de un período de estudios y su carácter formal le atribuye particularidades como instrumento de acreditación, es especialmente interpretada como práctica para determinar si el nivel de aprendizaje alcanzado por los alumnos a propósito de unos determinados contenidos es suficiente para abordar con garantías de éxito el aprendizaje de otros contenidos relacionados con los primeros

Los resultados de estas evaluaciones son comunicados a los alumnos con la devolución de sus producciones en donde se marcan los errores, los resultados o respuestas correctas y las observaciones que el docente cree pertinentes. El registro de las informaciones obtenidas siguiendo las pautas y procesos de evaluación mencionadas se concreta en hojas de seguimiento tanto grupales como individuales.

La evaluación del curso de actividades prácticas se realiza a través de:

- ❖ **dos parciales teórico/prácticos obligatorios e individuales** (uno de ellos recuperable) con una incidencia del 75% en el promedio de cursado,
- ❖ el **desempeño del alumno** en las clases prácticas y de laboratorios de instrumental y de ordenadores, el cual será verificado en forma continuada.

Los parciales deben rendirse en las fechas estipuladas por la Facultad (ver Planificación de actividades).

En caso que el alumno desaprobe uno o ambos parciales cuenta con una instancia de recuperación para uno de ellos. **Las inasistencias a los parciales (con causas justificadas o injustificadas) se califican con cero, disponiendo el alumno de las fechas de recuperación para uno de ellos.**

En caso de rendir y aprobar la recuperación de un parcial, la nota del mismo se obtiene como: **$0.25 * \text{Nota del parcial} + 0.75 * \text{Nota del recuperatorio}$**

El desaprobado o no asistir a la recuperación (teniendo el parcial desaprobado) tiene como consecuencia desaprobado el curso de la materia.

5.1. Aprobación del curso práctico de la materia

El régimen de promoción observado es el siguiente: a) Para la promoción de la Materia los alumnos deben observar la presencia a no menos del 75 % (setenta y cinco por ciento) de las horas de clase del cuatrimestre; b) Cada uno debe haber asistido con presencia y con conocimientos a las convocatorias y aprobado el/los informe/s de Trabajos Prácticos de Laboratorio o de Problemas de Clase que se hayan realizado y en los que haya sido nombrado como responsable (con rotación dentro del grupo) durante el cuatrimestre; c) Asimismo debe haber aprobado las evaluaciones parciales realizadas con una nota igual o superior a 4 (cuatro).

En consecuencia para poder aprobar el curso práctico de la materia, se deberán cumplir las siguientes condiciones:

- Haber **aprobado los dos parciales** teórico/prácticos.
- Tener como nota de **concepto de desempeño** 4 (cuatro) como mínimo
- Cumplir con la condición de asistencia

De cumplirse estas condiciones, se procederá a calcular la nota de cursado con la siguiente fórmula:

$$\text{Cursado} = 0.75 \text{ Promedio de Parciales} + 0.25 \text{ concepto de desempeño}$$

Aquellos alumnos que cumpliendo las condiciones de aprobación obtengan una nota de cursado menor a 4 puntos, tendrán como nota de cursado un 4 (cuatro)

De tal manera que si se han cumplimentado estos tres requisitos la materia se da por cursada y el alumno debe rendir examen final. El examen final se aprueba con nota superior o igual a 4 sobre 10 puntos posibles.